

A

ABIOS(Advanced Basic I/O System)

PC의 실모드 BIOS는 유사한 루틴들의 집합이고, **ABIOS**는 보호모드로 작동되도록 설계된 것이다.

Abrasive

성형 완료된 **PKG**나 리드프레임에 잔존하는 수지 피막을 제거하기 위해 사용된 연마제.

Absorption Constant (흡수상수)

매질이 빛을 흡수하는 정도를 나타낸 고유값.

Absorption Dichroism (흡수 이색성)

축색액정에 있어서 광의 편광 방향에 의해 광의 흡수정도가 다른 현상으로 직선 편광의 진동 방향의 차이에 의해 흡수계수가 다른 직선 이색성 또는 선광성을 나타내는 용액등에 있어서 좌우 원편광의 흡수계수가 다른 원편광 이색성등의 종류가 있다.

Accel Mode

이온 주입시 가속에너지를 가해 준 상태에서 주입하는 형태 (에너지 범위 **32-200KeV**.)

AC Characteristic

Device가 동작시 갖고 있는 특성 중 입출력 파형의 **Timing** 과 관련한 여러 가지 특성을 말함.

Acceptable Quality Level

합격품질수준. **Sampling**에서, 만족할 만한 공정평균으로 생각할 수 있는 **Lot** 혹은 **Batch**내의 최대 변동수(**variant unit**)를 말 한다. 변동수(**variant unit**)라는 말은 이상 정도 또는 결함(불량)정도라는 보다 더 국한된 의미의 단어로 대체할 수도 있다.

Acceptance Sampling

제품 혹은 재화의 합.부판정을 위한 **Sampling** 검사 즉, **Sampling**검사에 의거하여 합,부판정을 하는 절차에 관한 방법을 말한다.

Acceptance Tests (인수시험)

공급자가 구매자간에 제품을 인수할 것인가를 동의하거나 결정하는데 필요한 테스트.

Acceptor

3가의 불순물을 실리콘에 주입하면 공유결합에 의해 홀(**hole**;정공)을 만드는데 이때 **3**가의 불순물을 **Acceptor**라 한다.

Acceptor Level(Acceptor 준위)

반도체 속에 불순물로서 혼입된 원자에 의해서 **Hole**이 생겨 반도체가 **P**형으로 되는 불순물 원자를 엑셉터라고 하며 이 상태를 에너지대의 그림으로 나타냈을 때 엑셉터에 의해서 금지대속에 생긴 에너지 **Level**을 **Acceptor Level**이라고 한다.

ACI (After Cleaning Inspection)

식각공정중 건식, 습기 및 감광액 제거후 현미경 및 측정장치를 이용해 식각의 정확성, 이물질의 잔존, **CD**(**Critical Dimension** : 임계치수) 등을 검사하는 작업.

Active Matrix Drive (능동 매트릭스 구동)

주사전극과 신호전극의 매트릭스 교점부 화소마다 스위칭 소자와 필요에 따라 축전지를 축적하여

contrast나**response**등의 소자 성능을 향상시키는 구동방식으로 스위칭 매트리스 구동이라고 한다. 이 방식은 각 스위칭 소자에 연결된 화소 전극을 서로 독립 시킨 것으로 잔상 현상을 방지하고 다음 프레임까지 신호 전하가 축전지에 의하여 유지된다.

Accumulation

MOS의**Gate**에 가해지는 **Bias**에 따라서 **silicon surface Gate**아래에 **Majority Carrier**(즉, **substrate** 외 같은 **Carrier**)와 **Density** 가 증가하는 경우가 있는 데 이를 일컬음.

Accuracy

정확도, 측정값이 얼마만큼 참값에 가까운 가를 나타내는 척도.

Active Element (능동소자)

비선형부분을 적극적으로 이용하는 소자. 진공관과 트랜지스터가 대표적이다.

ADART (Automatic Distribution Analysis in Real Time)

자동분석 **Program**, 파라메타 검사결과와 분포를 나타내는 것.

A/D Converter (Analog to Digital Converter)

연속계량적으로 변화하는 신호를 계수형 신호인 "**1**"과 "**0**"으로 바꾸는 장치. 흔히 **ADC**라고도 한다.

Additive Process (애디티브 工法 ; 附着 工法)

동박이나 동박 이외의 부분의 표면에 선택적으로 전도성 물질을 부착시킴으로서 회로를 형성하는 공법.

Address Pre-Decoder

Row/Column Address Decoding의 편리를 위하여 **Address Buffer**로부터의 **internal Address AN**, / **AN**를 받아들여 **Decoding** 을 하 는 회로이다.

Addressing Technology (어드레스 기술)

액정 표시 소자에 원하는 표시를 나타내기 위하여 전극형성과 전극이 형성된 액정표시소자를 구동시키는 기술로 **LCD-Addressing** 방법이라고 한다.

Adhesion

접착력 특히 **WF**에 도포된 감광액과 **WF**기관간의 접착력. (각 막질간의 접착력)

ADI(After Development Inspection)

사진 공정중 현상이 끝난 후의 형성된 감광액, **Pattern**의 정확성, **CD**등을 검사.

Agitation(교반)

습식 식각시 식각액을 높이가나 식각 균일도를 좋게 하기위해 **WF**를 식각액에 넣은 상태에서 흔들어 주는 것

AGV

(**Automatic Guided Vehicle**, 자동 반송시스템)

Intra-bay내에서 **cassette**를 반송하는 6축 이동 로봇이다. **LCD**공정에서 다량의 기관유리를 제조 시 **lot**의 중량 및 결점발생을 고려하여 공정단계별 기관유지를 이동시킬 때 자동으로 운송시켜 주는 시스템.

AH (Absolute Humidity)

공기중의 절대습도를 말한다.

AHU (Air Handling Unit)

공기를 일정한 온도, 습도를 조절하고, 공기 중 **Particle**를 제거하여 실내에 그 정화된 공기를 공급하는 기계.

Air Gun

압축공기를 이용, 이물질 또는 찌꺼기등을 불어내는 기구.

Air Shower

FAB Line 출입시 방진복, 방진화에 부착된 먼지나 이 물질을 제거하기 위한 장치로서 밀폐된 **box**에 깨끗하고 강한 공기를 불어 서 먼지를 제거함.

Alignment

사진공정중 전 단계에서 **WF**에 형성된 회로에 새로 형성할 **mask**의 회로를 정렬시키는 작업. 이러한 작업을 하기 위한 장비를 **Aligner**(정렬노광기)라고 한다.

Alignment Mark

중복되는 **Align** 공정에서 정확한 **Align** 을 위하여 표시된 기준점을 말한다.

Alloy

Si와 **Al**의 접촉을 좋게 하기 위하여 합금시키는 것을 말하며 확산로를 이용함.

ALPG (Algorithmic Pattern Generator)

메모리 **Device**시험에 사용되는 **Data**의 읽기, 쓰기를 시험하기 위한 **instruction**을 **Coding**하는 장치

Alpha-particle

방사능 물질의 붕괴시 방출되는 이중으로 이온화된 **He**원자핵(**α**)으로서 자체에 있는 **U** 및 **Th**원소로부터 **trace contamination**되어 **IC**에 존재할 수 있는데, **silicon**과 전기적으로 상호 작용하여 에너지를 잃으면서 지나가는 경로를 따라 **hole-electron pairs**를 생성하면서 **Soft error**를 발생시킨다.

Al-Target

Wafer표면에 **Al**(알루미늄)을 증착하기 위한 **Al**덩어리.

Ambient

확산 또는 침적 공정을 진행할 때 주위의 **Carrier Gas**종류를 말함 (**N2**, **O2**, **H2**등)

AMLCD (Active Matrix Liquid Crystal Display)

화면을 수만에서 수십만개로 분할하여 각 화소에 구동소자를 제작하고 스위칭 특성을 이용해 화소의 동작을 제어하는 방식을 말한다.

Amorphous

어떤 고체가 반복적 원자배열 상태인 결정을 이루지 않고 있는 상태 즉 비정질 상태를 말하며 **Silicon**의 경우 제한된 생성조건을 만들어 주며 비정질 상태가 될 수 있다.

Amplification

(반도체 소자를 이용하여) 미약한 신호를 원하는 수준의 신호로 증폭시키는 전기적인 작용을 말한다.

Analog

연속적인 숫자나 값을 나타내는 것.

Analog IC

디지털 **IC**에 반대되는 말로서 아날로그 신호를 취급하는 집적회로를 말한다.

Analog Memory

아날로그량을 기억하는 메모리

Analysis of Variance (ANOVA)

분산분석 추정된 분산성분이나 모형의 변수에 대한 가설을 증명할 목적으로 총변동량을 특별한 변동요인과 관련된 의미있는 성분으로 분해하는 기법을 말한다.

Analyzer

전자석을 이용해서 **Wafer**내에 주입시키고자 하는 이온을 분석하는 장비.

Anelva

금속(**Al, Cu, Ti**등)을 증착, 산화막등을 식각하는 장비를 제조하는 일본의 반도체 장비업체.

Angstrom ()

파장을 재는 단위 **1 = 1x10⁻⁸ cm**의 길이

H⁺ = 0.0592x10⁻⁸

Anicon

LTO(Low Temperature Oxide) deposition 장비 이름

Anisotropic Etching

이방성 식각, 식각반응이 한쪽방향(수직)으로만 진행되는 식각형태 **≠ Isotropic Etching** (등방성 식각)

Annealing

열처리를 의미하며, 주로 **Si**과 반응치 않은 **N₂**나 **Ar gas** 분위기하에서 이루어지며 **Oxide**의 **quality**나 **bulk silicon**의 **defect** 감소및 이온 주입후 **damage** 같은 것을 **cure**하는 데 이용됨.

Annular Ring (동근 고리)

홀 주변에 전도성 물질이 완전하게 둘러싸고 있는 부분.

Anode

음이온이 끌려오는 전극. 즉 양극.

ANSI (American National Standard Institute)

미국 공업표준협회.

Antimony

Wafer 제조공정에 사용되는 불순물로서, **N형** 불순물에 해당하며 기호는 **Sb**이다.

Anti Reflect

Polycide 구조에서 **silicon**의 굴절율이 **11.0**이상으로 **photo**공정에서 **pattern**형성에 문제가 발생할 수 있다. 따라서 굴절율이 낮은 **SiO₂**나 **TiN**등을 **silicide**층위에 형성시켜 **pattern** 형성의 용이함을 꾀하는 **TiN**를 **ARC**라 한다.

Antistatic

정전기 방지

AOQ (Average Outgoing Quality)

계수 선별형 검사에서 다수의 **lot**가 선별된 검사를 받아줄 때 검사를 통과한 다수의 **lot**의 평균품질을 보증함을 말한다.

평균 품질보증(AOQ)= LOT불량율<P> x LOT합격으로 될 비율 <L(p)>>

AOQL (Average Outgoing Quality)

평균출검 품질한계 : AOQ곡선의 최대치

Application Test

실장(實裝)테스트라고도 불리우며, 반도체 신제품의 생산시 실제적으로 해당제품이 사용되는 시스템에 장착후 고객이 테스트하는 조건과 동일하게 실시하는 테스트를 일컫음.

APCVD

Atmospheric Dressure CVD(Chemical Vapor Deposit-ion). 화학적 기상도금 또는 화학증착이라고 하는 고순도 고품질의 박막을 형성하는 기술로 저온에서 기화한 휘발성의 금속염(**Vapor**)과 고온에 가열된 도금할고체와의 접촉으로 고온분해, 고온 반응하고 여기에 광에너지를 조사시켜 저온에서 물체표면에 금속 또는 금속화합물층을 석출시키는 방법으로 화학 **Gas**들의 화학적 반응 방법을 이용하여 막을 증착시키는데 이때 **Chamber**상태가 대기압 조건에서 이루어지는 증착.

APD (Avlanche Photo Diode)

실리콘의 **PN**접합에 브레이크 다운 접안에 가까운 고전압을 가하여 전자사태 효과에 의한 전류증배의 작용을 갖게 한 **Photo Diod e**다.

AQL (Acceptable Quality Level)

계수 조정형 **Sampling** 검사로 합격으로 할 최저한의 **lot**의 품질을 말하며, 이 수준보다 좋은 품질의 **lot**를 제출하는 한 거의 다 합격시키는 것을 판매자 측에서 보증하는 것이다.

Ar

Argon 의 원소기호 및 그 **Gas**

Arc Chamber

Ion을 생성시키는 사각형으로 된 상자.

Arc Current

Plasma상태에서 **Bean**전류를 생성시키기 위하여 필라멘트와 **Arc Chamber**양단에 가해주는 전류

ARL (Acceptable Reliability Level)

허용 신뢰성수준 또는 합격 신뢰성 수준.

Array

기능상으로 각각 독립된 여러 개의 회로 또는 디바이스를 한 장의 기관위에 규칙적으로 배열하여 상호 배선한 집적회로군 또는 **Device**군을 말한다.

Array Logic

FILP-FLOP, NAND, NOR, Diode등의 **Logic Circuit**을 **Array** 모양으로 배열한 것으로 반복구조에 의해서 소망의 논리(함수)를 실현 하는 **Device**다.

Artwork Master

작업용 源**Film**을 제작하는 데 쓰이며 배율이 정확하게 **1:1**인 회로의 형태

As

비소의 원소기호(**Arsenic**)

Ashing

건식/습식식각이나 이온주입등에 의해 굳어진 감광액의 건식 제거(**Dry Strip**)또는 습식 제거작업.

ASIC (Application Specific IC)

특정용도 집적회로 (特定用途集積回路), 전자제품의 경박단소(輕薄短小)추세에 따라 범용성이 높은 표준**IC**와는 달리 고객이나 사용자가 요구하는 특정한 기능을 갖도록 설계, 제작된 **IC**를 말한다.

ASIC Memory

특정용도에 적합한 사양을 가진 **Memory**.

Computer 분야에는 **Multi-port Video RAM(VRAM)**, **data cache memory**, **dark memory**등의 제품이 있다. 민생분야에는 **Frame memory** 나 **Line memory** 등의 제품이 있다. 기타로는 **Dual-port memory** 나 **FIFO(First In First Out)**등의 제품도 있다.

ASIC micon

User가 요망하는 회로를 **1chip**화 시킨 **micon**.

microprocessor나 **microcontroller**의 **CPU**회로(**CPU core**라 부름), **CPU**주변회로, **ROM**, **RAM**, **Random Logic**회로 등을 조합시킨 **User** 요망 **system** 회로를 **1 chip** 화 시킨 것이다. **User**에 따라서는 상품의 차별화가 가능하고 소형화, 부품갯수의 절감, 소비전력의 감소, 신뢰성의 향상 등을 도모하고 있다.

Aspect Ratio

Step Coverage나 평탄화등에 연관된 용어로서 이미 鍍金된 홀의 직경에 대한 홀의 길이와의 比率.

Assembly 실장품

부품들이나 보조 실장품들이 조합을 이루어 결합되어 있는 것.

ASRP (Autoexec Spreading Resistance Probe)

Silicon Wafer의 지점별 불순물 농도 분포를 연속적으로 측정하는 설비.

Assignable Cause

변동의 분포를 구성하는 요소들 중 원인을 규명할 수 있는 것.

ASSP (Application Specific Standard Product)

특정용도용의 전용표준품 **IC**. 반도체업체가 각 응용제품에 특화시켜 개발하여 다수의 **user**를 대상으로 판매하는 **IC**로써, 통신 용, 전탁용 **IC**나 복사기, **Printer**등 각종 전자기기의 **controller**가 포함된다.

ATE (Automatic Test Equipment)

전자 소자들을 소프트웨어를 이용하여 **Test**할 수 있는 장비를 밀함.

Au-Bond (gold ball Bond)

금선을 사용한 **Bonding** 방법

Auto-Doping

불순물이 높게 주입되어 있는 상태에서 다른 공정을 진행할 때 진행공정의 목적과 함께 또는 별개로 불순물이 다른 지역으로 확산되는 것을 말함.

Auto Loader

반도체 제조(FAB, TEST, ASS'Y) 어떤 공정에서든 공정이 진행될 때 시작되는 것이 자동적으로 진행되는 것을 말함.

Automatic Loading System

Carrier에 담긴 Wafer를 한 개씩 주입할 수 있는 곳까지 운반되는 장치.

Auto Transfer

Wafer를 Boat에서 기계로 Loading 또는 Unloading 하는 기구로서 제조공정에서 사용한다.

Auto Transport System (자동반송 시스템)

자동화 공장에서 물량반송을 computer system 의 제어하에 자동으로 목적지 까지 행하는 총괄적인 System.

Av Voltage Gain, 전압 증폭도

AV TFT-LCD(AUDIO-VIDEO, TFT-LCD)

오디오, 비디오용 디스플레이에 사용되는 판넬로 고화질의 TFT-LCD칼라화가 요구되며 1.1 inch 이하의 화소수 12만 정도의 캠코 더용 디스플레이 판넬이 대표적이다.

Avalanche breakdown

Pin Diode에 역전압(reverse bias)를 크게 가해 주면 breakdown이 되면서 급격한 큰 전류가 흐르게 되는 것으로 Zener breakdow n mechanism과 달리 저농도로 doping 된 Junction에서 transition region의 강한 Field에 의해 electron이 결정격차와 충돌하여 electron-hole pairs를 생성하는 impact ionization mechanism을 반복하면서 carrier수가 급격히 증가되어 Breakdown에 이르는 현상을 말함.

Avalanche Injection Diode

고저항 게르마늄 펠렛의 한쪽 면을 인듐납으로 합금하여 P+영역을 만들고 다른쪽 면에 금 안티몬 선을 본드하여 N+영역을 형성 한 구조의 Diode다

Avalanche Transistor

전자사태 TR이라고도 하며 TR에 낮은 전압을 가했을 때에도 OFF상태이며 높은 전압을 가했을 때에는 Avalanche Breakdown을 일 으켜 충분히 낮은 저항의 ON상태로 되는 스위칭용의 부성 저항소자이다.

Average Outgoing Quality Level (AOQL)

평균출검품질한계. 주어진 sampling검사에 있어서, 입고검사품질에 대해 허용가능한 최대 평균출하품질(AOQ)수준을 말한다.

A.W.W (Acid Waste Water)

산폐수로서 약품중 산을 사용하는 장비에서 배출되는 폐수를 말함.

Axial Fan 방식

대형 축류 Fan을 사용하여 Clean Room에 공기를 공급, 순환시키는 방식.

B

Backward Current

PN접합에 역방향 전압을 걸었을 때 흐르는 전류를 말한다.(Reverse Current라고도 한다)

Back Flow Effect (배류 효과)

네마틱상에 대한 배향벡터가 시간적으로 변동할 때 액정분자의 흐름을 유기하는 현상을 말한다.

Back Grind (뒷면 연마)

Wafer뒷면의 불필요한 두께를 갈아내는 것을 말하며, 이는 **Fab.** 공정이 완료된 후 행해지는 공정임

Back Plane

한쪽 면에서는 솔더링을 하지않고 접속시키는 터미날이 있고 다른 면에는 일정부분 간을 전기적으로 연결시키는 연결소켓이 있는 기관.

Back Panel

Fab. Line에서 **Bay**간 또는 **Room**간 차단벽으로 주로 많이 사용되는 것으로 **PVC Back Panel**이 있다. 이는 공조의 흐름을 유도시키거나, **Particle**의 유입을 막아 **Room**별 청정도 유지를 목적으로도 사용된다.

Back Seal Oxide

뒷면 실링 산화막, **Wafer**내에 포함되어 있는 고농도 불순물에 의한 **Outdoping**을 감소시키려는 목적으로 **Wafer**뒷면에 성장시켜 주는 산화막.

Back Side Grind

뒷면연마. **Wafer**의 뒷면을 다이아몬드 휠로 연마시키는 작업으로서 조립공정으로 일정한 두께의 **Wafer**를 보내기 위한 목적과 **Get tering**목적을 동시에 수행함.

Back Seal Marking

Device의 **Marking**시 **lot**의 **Fab. Site lot#**등을 기록하기 위해 **Device**밑면에 표시하는 **Marking**.

Back-Annotation

반도체 설계시 **layout**작업까지 마친 후 **layout**에서 발생된 기생 소자들(캐피시터 및 저항)의 실제값을 추출하여 이 값들을 포함 하여 **simulation**하는 작업을 말한다.

Back-Up System

저장탱크에 저장된 액체상태의 질소, 산소등이 기화기를 거쳐 기화한 후 **Gas**상태로 공급될 수 있도록 갖추어진 설비.

Baffle

확산**Gas**의 흐름을 **control**해 주는 치공구.

Bake

Wafer를 열을 이용하여 굽는 것으로 **Pre-Bake, Hard-Bake, Soft-Bake**가 있다.

1) **Pre-bake** : **Wafer**에 **Resist**를 도포하기 전에 **Wafer**표면의 습기를 제거하여 $150\pm 10^{\circ}\text{C}$ 의 **Oven**에서 **Wafer**를 굽는 것

2) **Hard-bake** : **Etch**전 **Wafer**표면의 **Resist**를 굽는것 3) **Soft-bake** : 적외선을 이용하여 **Photo-Resist**를

균형 주는 것

Base Array

ASIC Process중의 일부이며 이는 미리 회로의 기본이 되는 **Gate** 회로 (**2 Input Nand gate** or **2 Input Nor gate**)를 **userable gate** 별로 **array**상에 배열한 **LSI**를 만들어 주는 것을 말한다.

Base Line Spec

반도체소자 제작시 동일한 특성을 얻기 위해 그 소자의 특성에 맞게 **process flow**를 설정하고 제어하기 위한 지침서.

Base Line 공정

연구소 공정 개발실에서 공정개발이 완료되어 **FAB**운영실로 이관된 공정

Base Material (기초제)

표면에 회로를 형성시킬 수 있는 비전도성 물질

Basic Dimension (기본위치)

어떤 홀이나 부품의 위치를 이론적으로 정확하게 표현한 수치.

Batonnet

등방성 액정상에서 온도를 떨어뜨려 스메틱 봉상의 이방성 액정을 석출시키는 것이다.

B/B Ratio (Book to Bill Ratio)

수주 대 출하비율 최근 **3**개월 평균 수주액을 **3**개월 평균 출하액으로 나눈 값 일반적으로 **WSTS**(세계반도체 시장통계)의 통계 **Da ta**를 기본으로 한 반도체 수급상황을 나타내는 지표를 가리킨다. 특히, 미국 시장 **B/B Ratio**속보치는 반도체 시장동향의 선행지표 로써 사용되고 있다.

BC (Buried Contact)

POLY1을 **N+ Active**에 연결하는 **contact**으로 **POC 13 doping**을 이용한다.

BCD Technology

Bipolar, CMOS, DMOS 트랜지스터를 동일 칩상에서 구현하는 기술로서, 주로 **Bipolar**트랜지스터는 고속논리 회로 및 아날로그회로, **CMOS**는 **digital logic**및 **DMOS**의 출력구동에 사용된다. (**BCD** 기술은 설계의 융통성을 증가시키고 여러 개의 분리된 칩을 한 개의 칩으로 구현함으로써 **system**의 **reliability**를 증가시킬 수 있으나 공정단가가 높은 단점이 있다.)

BCG Approach

(Boston Consulting Group Approach)

보스톤 자문단법, 전략산업단위(**SBU**)를 성장율과 점유율의 **2**가지 기준에 따라 평가,검토하여 성장.점유 매트릭스에 분류하여 표시하는 방법.

BCR (Bar Cod Reader)

Bar Code를 읽어내는 장치.

Bean Line

Source에서 생성된 **Ion Beam**이 통과통로.

Beam Mask

초기에 생성된 사각형의 **Beam**의 형태를 원형으로 형성시켜, **Wafer**에 주사되게 차폐 역할을 하는 탄소관.

Beam Spectrum

분자 혼합물의 상태에서 전자와 충돌시켜 양 이온을 생성, 마그네틱 전류의 증감에 따라 각각 다른 이온이 분석되어 좌감측에 나타난 상태.

Behavioral Description

System의 기술방법으로 **input**과 **output**사이의 관계를 **computer language**와 같이 서술하는 방법이다. 서술언어는 **VHDL(very high speed hardware description language)**, **HDL**등이 있다.

Bench Test

특정한 모양으로 만들어 놓은 **Test Pattern**이나 실제 **Die**를 **DC** 측정용 계측기를 이용하여 **Probing**을 하면서 여러 가지 **Electric al Paramet-er**를 측정하는 일

Bent Lead (경사리드)

약 **45**도로 휘어져 있는 리드.

Bias

치우침. 측정치나 검사결과의 평균과 참값(비교치)사이의 차이를 나타내는 **System error**.

Bias

TR에서 미리 순방향의 직류전압을 가해주어 신호입력이 **0**인 상태에서도 어느 정도의 전류가 흐르게 하여 무신호시의 동작점을 미리 어떤 위치로 옮겨와 직류와 겹침으로써 **0**의 상태에서부터 벗어나게 하는것을 **Bias**라고 한다.

Bidirectional Buffer

외부 **signal**에 대한 **voltage level**을 소자 내부에 맞게 받아들일 수 있고, **sense AMP**에서 증폭된 **data**를 **ext-ernal load**를 **driv e**하기 위해 사용될 수도 있는 **Buffer**.

Bipolar

전자(**electron**)와 정공(**hole**) 두 종류의 전기 매개체가 동원되어 동작되는 형태 (또는 이것에 의해 동작되는 **Transistor**를 말함)

Bipolar TR

전자와 정공이 공존하는 **TR**로써 **NPN Type**와 **PNP Type**의 2종류가 있다. **Emitter**, **Base**, **Collector**의 3전극이 있으며, **Base**전극에 흐르는 전류에 의해 **Emitter**와 **Collector**간의 전류를 제어한다. **Transistor**단품으로 뿐만 아니라 **Bipolar IC**로써도 폭 넓게 사 용되고 있다.

BI-MOS

바이폴라와 **MOS**를 조합하여 하나의 **Chip**위에 만든 회로이다.

BiCMOS (Bipolar-CMOS)

Bipolar Transistor와 **CMOS Transistor**를 조합시켜 동일 **Chip**상에 동작시킨 **IC**.

Bipolar Transistor의 고속성, 고전류 구동능력과 **CMOS**의 저소비전력 우수성을 동시에 만족시키는 것이 가능하다.

Binary Number System (2진법)

한자리를 **0**과 **1**의 두수만으로 나타내는 수의 표시방법.

B/I (Burn-in)

고온에서 어떤 특정 길이의 시간 (예를 들면 **83°C**, **63시간**)동안 회로를 동작시켜 초기 수명 또는 초기 고장이 심사되는 부품 검 사의 단계.

Bin

검사한 결과에 따라 양품과 불량 또는 동작속도를 나누는 기준.

예) **Bin 1**-양품, **Bin13**-기능불량, **Bin 15-Parameter**불량 등.

Bin 1 Check

Test된 양품의 동작속도상태를 점검하는 작업.

Bin Grade Down

Test 각**Step**을 진행중 **Good Device**의 **speed**나 **power** 소모도가 변화되어 나쁜 영향으로 변환된 제품.

Bit Line

Memory에서 **data**를 저장시키거나 **data**를 뺏을 때 **data**가 이동되는 통로로서 사용되는 도선.

Bit Map

Memory의 기본동작을 **Check**하여**Memory**내의 각 **Data**의 저장**Cell**이 바로 동작하고 있는지를 표시한 도표 (죽은 **Cell**을 찾아내어 분석하기 위해 사용됨)

Bit Mapper

제조공정이 완료된 반도체의 동작특성 유,무를 판별하고 **Fail Point**의 **Address**및 **Fail**특성을 제공하여 주는 **F/A용 Tool**.

Bit성 Fail

Device Test결과 **Random**한 **Address**의 **Cell**이 **Fail**된 경우.

Black & White SPOT

셀 내부에 이물, 먼지 등이 들어가거나 마스크의 **pinhole**등으로 인하여 **seak**제나 트랜지스터제가 면 내에 인쇄되어 포지티브형은 흑점으로 네가티브형은 백점으로 나타나는 현상.

Black Hole

제조 기술부에서 **F/A**시 사용하는 용어로 **Contact**부위에서 **Contact Pattern**과 그 위의 **Poly or Metal Pattern** 과의 **Misalign**이나 또는 **Over Etch**로 인해**Contact Overlap**이 부족하여 **Contact Edge**에 **Chemi-cal**이 침투하여 **Contact**을 부식시켜 생겨난 **Defect**.

Black Stripe SM

칼라 액정 디스플레이에서 빛의 투과가 일어나지 않는 트랜지스터나 축전지 부분을 검은색의 물질로 덮어서 빛의 간섭을 막아 화질을 높이는데 쓰이는 물질

Blade

Wafer절단시 사용되는 톱날로서 다이아몬드와 니켈의 합금.

Bleeding (번짐)

도금된 홀이 보이거나 갈라짐으로 인하여 변색된 것. 또한 인쇄에서 잉크가 없어야 될 곳에 잉크가 번져 들어간 형태.

Blister

밀착된 기초재층들간의 부분적인 들뜸이나 기초재와 표면 전도체 막과의 부분적 들뜸.

Block Factors

Block인자. **Block**인자들은 실험공간을 **Block** 인자들은 실험공간을 **Block** 으로 구분하기 위한 근거

로 제공한다.

Blow Hole

개스가 분출되어 발생된 땀납(**Solder**)보이드.

BN Wafer

Boron이 매우 높게 주입되어 있는 **Wafer**로서 **Boron**을 주입하려고 하는 **Wafer**와 마주 보게 하여 확산 공정을 진행할 때 사용하는 **Wafer**.

BN 보관로

BN Wafer를 보관하는 **Tube**로 **375°C**의 온도가 유지되며 **N2**가 흘러 들어감.

Boat

확산로에 **Wafer**를 넣을 때 사용되는 것으로 석영이나 **SiC** 재질로 만들어져 있으며 **Wafer**가 한 장씩 세워지도록 홈이 파져 있음.

Boat Holder

Boat가 외부물질에 닿지 않도록 받쳐주는 것으로 석영이나 **Poly-Si**재질로 되어 있음.

Bonding

주로 **wire bonding**이라고 일컬어 지며 반도체 제품의 조립시 **Chip**의 **PAD**와 외부단자를 도선으로 연결하는 작업임.

Bond Diode

반도체 표면에 금선을 용접하고 전기펄스에 의해 접합을 형성하는 것

Bonding Lator (접착층)

다층기판의 밀착시 각각의 층들을 접착시켜서 결합시키는 층

Bonding Pad

Chip에 **wire**를 **bonding** 할 때 본딩할 부분에 증착한 알루미늄등의 금속 증착피막 부분을 말한다.

Bond Strength (접착력)

기판의 인접한 두 층을 분리시키는 데 필요한 단위 면적당 수직으로 작용하는 힘의 크기.

Bottom Up Design

트리 구조를 아래에서 위로 구성해 나가는 방법으로써 **Primitive Cell**을 기본으로 **Circuit Level**, **Logic Level**, **Architechure L level**순으로 진행하는 IC 설계방식.

Boulder

FAB공정중 침적 또는 **Diffusion** 공정시 정상성장이 되지 않고 비정상 성장이나 결정 덩어리에 의해 생겨난 비정상적 성장결정체 .

Bow (휨)

Wafer또는 **Wafer**위에 증착된 **film**의 인장력을 측정하기 위해 사용되는 휨정도를 의미함

BPSG

Boron Phosphorus Silicate Glass의 약자로서 평탄화의 수단으로 사용하는 열에 대한 **flow**성 (**850°C**에서**Vis-cosity**가 급격히 변 하는)이 좋은 막질임. **Oxide Film**에 **B,P**등의 불순물을 첨가시켜 낮은 온도에서 평탄화되도록 하는데 사용되는 절연막.

BPT (Bond Pull Test)

본드 인장력 시험으로서의 **bondability** 측정의 한 방법으로 **GRAM weight gauge**를 사용하여 **ball**과 **stitch**중간을 들어올려 **bond**의 인장강도를 측정하는 시험.

Bread Board

IC화 하기 전에 개별부품을 사용하여 목적하는 **IC**회로와 동등한 기능을 갖는 회로를 만들어 그 **IC**회로의 모의 설계를 하는 것

Break-Down

PN접합에 역방향 전압을 가하고 그 전압을 차츰 높여 가면 어떤 전압에서 역방향 전류가 급격히 증가하는 이른바 **Breakdown**의 현상이 일어난다. 이러한 현상이 일어나는 것은 공간 전하 영역의 전계 강도가 매우 커지기 때문이며, 그 기구로는 **avalanche breakdown**과 **zener breakdown**이 있다.

Breakdown Voltage

P-N접합 **Diode**에서 두 접촉영역 사이로 큰 전압을 걸어주면 역 방향으로 많은 전류를 흐르게 되며 이때 가해주는 전압을 **Breakdown** 전압이라 한다.

Break-Up

Half Cutting 된 **Wafer**를 **Full Cutting**시키는 작업.

Bridging

회로들 사이가 전도물질에 의하여 붙어버린 형태.

Broken (깨어짐)

Wafer나 **Quartzware**가 깨어짐을 말함.

BT Stress (Bias & Temperature Stress)

소자 신뢰도를 측정하는 방법의 일종으로 **Bias**(전압)인가와 동시에 온도를 높여서 하는 **Stress** 인가방식.

BT Test (Bias and Temperature Test)

TR, **Diode**등의 반도체 소자를 고온에서 **Bias**를 인가 상태로 해두는 시험이다.

Bubbler

순수한 물(**D-I Water**)이 흘러나와 넘치면서 질소가 바닥으로부터 분출되어 **Wafer**표면을 행구어 주는 장치.

Bubbler Memory

합금, 석류석 등에 자계를 걸어주어 여러 개의 거품같은 모양을 만들어 놓은 기억소자.

Buffer

어떤 논리회로와 다른 논리회로를 결합할 때 그 직접결합에 의한 나쁜 영향을 피하기 위해 단간에 삽입하는 회로를 말한다.

Buried Layer

Transistor에서 **Collector** 저항을 줄이기 위해 **Collector**하부에 형성하는 낮은 저항 영역.

Buried Via Hole

완전히 관통이 되지 않고 중간이 막힌 비아홀

Burr

절단. **Trim** 공정시 발생하는 불량률의 한 항목으로 **Lead**끝이나 몸체에 혹처럼 찌꺼기가 붙어있는 것.

Burn in

제품의 잠재적인 불량률 초기에 발견하기 위하여 제품에 고온(**85°C ~ 125°C**)으로 **Device**에 열적 **Stress**를 인가하여 **Test**하는 것 이며, **IC**가 실제 사용할 때 사용 가능 하도록 신뢰성(**Reliability**)을 높여주기 위해 실제 사용상태 보다 높은 전압, 전류등의 **Parameter**를 가하여 장시간 **Over Stress**를 행하는 **Test**.

Burner

고압의 공기 또는 증기를 사용하여 고점도의 액체 연료를 무화시킨후 분사시키는 장치.

Burnt

Burn-in중 **Device**결함 혹은 외부의 과도한 전기적 **Stress**로 인하여 **High Current**가 **Device**내부를 흐름으로 인해 **Device**가 고온 으로 가열되어 깨어지거나 변색되는 현상.

BVcob (Collector-Base Breakdown Voltage with Emitter Open)

에미터 단자**Open**상태의 콜렉터-베이스간 역전압, 에미터 회로를 개방하고 **Collector**와 **Base**단자 사이에 **Breakdown**이 일어나기 전까지 가할 수 있는 최대 역방향 바이어스 전압.

BVcer (Collector-Base Breakdown Voltage with Specified Resistance)

베이스 단자와 에미터 단자간 일정한 저항을 연결한 상태에서의 콜렉터-베이스간 역전압.

BVces (Collector-Emitter Breakdown Voltage with Emitter Short-Circuited to base)

베이스-에미터간을 **Short** 상태에서의 콜렉터-에미터간 역전압.

BVcev (Collector-Emitter Voltage with Specified Reverse Voltage Between Emitter And base)

에미터-베이스간 역전압인가 상태에서의 콜렉터-에미터 전압.

BVebo (Emitter-Base Breakdown Voltage with Collector Open)

Collector단자 **open**상태에서 에미터-베이스간 역전압

C

Cache DRAM

Cache (은밀한 장소의 의미로 긴밀하게 이용하는 **data**를 일시적으로 대피시키는 **buffer**의 역할)로 사용되는 **SRAM**과 **Regist**를 내 장한 **DRAM**을 말하며, **DRAM**의 대용량과 **SRAM**의 고속성을 겸비하고 있다. **Main Memory**와 **CPU**사이에 마련된 고속의 기억장치.

CAD(Computer Aided Design)

컴퓨터에 기억되어 있는 설계정보를 그래픽 디스플레이 장치로 출력하여 회면을 보면서 설계하는 것 (컴퓨터를 이용하여 설계를 하고 도면을 그려내는 것). **IC**, 특히 **LSI**나 초**LSI**의 최적설비를 **computer**지원에 의해 효율을 보다 향상시킨 기술을 말하며, 논 리 **Simulation**, 회로분석, **Device**해석, 배치, 배선설계, **Mask Pattern**작성, **Test Pattern**작성등의 각 **Step**에서 **CAD**를 사용한다. 설계전자동화의 방향으로 기술개발이 발전하고 있다.

CAD Software

반도체 제품의 설계 및 개발업무에 관련된 **CAD Program**을 총칭한다.

CAE(computer aided engineering)

CAD로 만든 모델의 성능을 컴퓨터 내에서 상세하게 검토하여 그 데이터를 토대로 모델을 수정하는 **System** (컴퓨터를 이용하여 모의 실험(**Simulation**)을 하는 **Tools**). **CAD**와 동일한 의미로 사용되고 있으며, **CAD**가 **Computer**작도에 이용되는 반해서 **CAE**는 특 성해석을 실행하는 것부터 **simulation**에 의한 설계를 진행시키는 기술까지 포함하고 있으며, 광의의 **CAE**는 **CAD**와**CAM**을 통하여 **Engineering**을 실행한다.

CAM(Computer Aided Manufacturing)

컴퓨터 이용에 의한 제조방법으로서, **CAD system**으로 설계한 설계도의 데이터를 토대로 **NC(Nume-**

rical Control: 수치제어) 공작기계등의 생산설비를 제어하여 제품을 생산하는 장비. **Computer**지원에 의해 **LSI**나 초**LSI**제조의 생산성, 신뢰성을 높이는 자동화 기술을 **CAM**이라 말한다. **CAD**에 의해 수치화된 **Master data**와 **test data**에 의거 제조에 필요한 **Process data**를 설정하여 실행한다. **CAD**와 **CAM**은 상호 밀접한 관계가 있으며 설계부터 제조까지 일관되게 **Computer**를 이용하는 **system**으로 하는 경우에는 **CAD/CAM**으로 불리운다.

Capacitance

전하를 축적할 수 있는 용량.

Capatiance Voltage Characteris

MOS구조에 있어. 반도체 기판의 상태, 산화막 속의 오염상태, 반도체 기판과 산화막과의 계면상태등을 알기 위하여 사용되는 용량과 전압의 특성, **MOS**구조에 있어서는 금속전극에 가한 전압에 의해, 산화 **silicon**막 아래의 반도체 표면상태가 축적상태, 공핍 상태, 안정상태로 변화한다.

Capacitor

전하를 저장할 수 있는 제품(콘덴서)

Capillary

Wire Bonding 공정에서 **Chip**과 **Lead Frame**의 **Load**를 **Wire**로 연결시키는 도구.

Capture Center

캐리어를 일시적으로 잡아두는 금지대 속의 에너지 준위.

Carrier

전류를 구성하는 기본적인 주체(전자, 정공)

Carrier

Wafer를 담는 용기로 **25**장을 담을수 있는 홈이 있다. 종류에는 청색 캐리어 (**Blue Carrier**), 흑색 캐리어(**Black Carrier**), 백색 캐리어(**White Carrier**), 금속 캐리어(**Metal Carrier**)가 있다.

1) Blue Carrier : Poly Propylene재질로 되어 있으며

색은 청색임, 화공약품에는 강하나 열에약함

2) White Carrier : Teflon 재질로 되어 있으며,

색은 백색임. 화공약품과 열에 모두 강하며

가격이 비싸고 무거움

Carrier Generation

열평형 상태에서 반도체가 있는 **carrier**들은 주위 온도에 대응하는 평균 열에너지를 가진다. 이 열 에너지

지는 **Valence Electron** 들중 일부를 **Conduction Band** 로의 천이과정 속에서 **Electron**과 **Hole**의 쌍을 생산하게 되며 이를 **Carrier Generation**이라한다.

Carrier Handler

Wafer를 취급하는 도구.

Cart

Wafer strage box를 운반하는 도구.

Cascade

3단으로 되어 있는 작은 폭포로써 순수한 물(**DIW**)이 흐르면서 바닥으로부터 질소가 분출되도록 만들어져 있어 **Wafer**를 행구는 장치.

CAT(Category)

Bin과 같은 개념임.

Cavity

금형내에 **PKG**를 형성하게끔 만드는 **PKG**모양의 동공.

Cavitation

운전중인 **pump**에서 물의 온도에 의하여 증기압보다 낮아져 물 속의 공기, 수증기가 분리, 기포가 발생하여 공동을 만드는 현상.

CBIC (Cell Based IC)

MASK를 제작하여 공정을 거치게 하는 설계방식으로 **CAD S/W**를 이용하여 **Library**를 배치Σ배선한다.

CBR (CAS Before RAS)

RAS가 **Low**가 되기 전에 **CAS**가 **Low**되어 **Refresh**가 일어난다.

CC (LIM Central Controller)

STC로부터 공정간 반송지령을 받아서 **stocker**간의 **cassette**반송을 제어한다.

C&C (Computer and Communications)

컴퓨터 기술과 통신기술의 완벽한 조합.

CCD (Charge Coupled Device)

전하결합소자(電荷結合素子). 미국 벨연구소가 개발한 새로운 반도체 소자이다. 종래의 트랜지스터 소자와 달리 신호를 축적(기억)하고 전송하는 **2**가지 기능을 동시 갖추고 있다. 사람의 눈(目)역할을 하는 전자 눈으로도 각광을 받고 있다.

CCM(Cell Control Manager)

Factory Automation System에서 **Host Level**의 **program**군(群)으로서 일련의 공정들을 제어한다.

CCST (Constant Current Stress Time)

Dielectric Film의 **Life Time**을 측정하는 방법을 **Tddb(Time Dependent Dielectric Breakdown)**라 하는데 이는 일정한 시간을 측정하는 방법이다. 그 중 **CCST**는 보통 단위 면적당 **100**의 일정한 전류를 **Plate Poly**에 가해 **Dielectric Film**의 **Breakdown**이 일어나는 시간을 측

정하는 방법.

CD (Critical Dimension)

사진공정과 식각공정을 진행한후 규정된 규격에 의해 공정이 진행되었는지 점검할 때 사용.

1) ADI(After Develop Inspection) : Wafer 현상후 현상 부위의 폭이나 가격을 잴 값.

2) ACI(After Clean Inspection) : Wafer 식각 및 **Strip**후 식각부위의 폭이나 가격을 잴 값.

CD-ROM (Compact Disk Read Only Memory)

CD(광디스크)처럼 공장에서 제조시 기록한 정보만을 읽을 수 있는 **Disk**.

CDI (Collector Diffusion Isolation)

바이폴라 **IC**의 집적도를 높이기 위해 분리를 필요로 하는 면적을 되도록 작게 하는 방법.

Cell

RAM이나 **ROM**등 **IC**의 가장 작은 기억소자를 말하며 보통 **Transistor, Capacitor, Resistor**등으로 구성되어 있고 **1Bit**의 정보를 저장할 수 있다.

Cell Boundaries

급경계. 급 내에 포함 될 모든 값들을 포함하는 급의 양단 값을 말한다. 일반적으로 급경계치는 그려질 **data**보다 더 중요한 의미를 갖는다.

Cell Deviations(d)

급간 편차, 계산을 쉽게 하기위해, 보통 모든 급의 중심치로부터 상수 **A**를 빼는 방법에 의해 **data**를 부호화하는 것이 바람직하다. **A**와 같도록 선택된 급의 중심치 **Xm**은 급의 중앙에 나타난다. 모든 다른 급들은 그들이 중앙급으로부터 떨어져 있는 급의 수로 나타난다. 중앙급은 **Xm=A**이기 때문에 그 거리 **d=0**이다. **A**보다 큰 값을 갖는 급은 "+", **A**보다 작은 값을 갖는 급은 "-" 값을 갖는다.

Cell GAP

LCD의 액정이 주입되는 앞 유리기관과 뒷 유리기관사이의 폭, 즉 액정층의 두께를 의미한다.

Cell IMP

Mask ROM에 있어서 한**Bit**의 저장정보 상태를 결정하여 주는 **Implant**공정을 말하며. **P-Well**의 경우 **Boron**을 주입하여 **TR**을 **compe nsate**시켜 문턱전압을 상승시킴.

Cell Interval(i)

급 구간(간격). 급경계 사이의 거리를 말한다.

Cell Library

고유의 **function**을 갖는 **primitive cell**인**NAND, NOR, XOR**등을 지칭하는 것으로 각각의 **Cell**에는 **Logic sy-mbol, Electrical data**와 **Layout**이 한자로 구성되어있다.

Cell Midpoint(Xm)

급 중심치, 두 급 경계치 사이의 평균값을 말한다. 일반적으로 급에서 관측된 모든값들의 중심값을 말한다.

Ceramic

비금속의 비정질 재료를 칭하는 것이나 일반적으로 유리를 포함하지 않는 것이 보통이다.

Cer-DIP(Ceramic Dual In-Line Package)

재질이 **Ceramic**이며 **Lead** 배열이 양쪽은 **PKG**.

Certification

교정된 계측기가 주어진 기준치와 일치됨을 인정하거나 측정값을 보증하는 행위를 말함.

Central Line

중심선. 관리도상에서 오랜 기간 동안의 평균을 표시하거나 관리도 위에 찍히는 통계적 측정치들의 기준이 되는 값.

Chance Cause(Random Causes)

우연원인, 일반적으로 다수이며, 개별적이고, 상대적으로 덜 중요한 요소이지만 산포에 영향을 끼치는 원인을 규명할 수 없는 요소들.

Chance Variation (Random Variation)

우연 원인에 기인한 변동.

Channel

MOS Transistor의 **Gate**아래 부분으로 다수 반송자를 형성하여 전류가 흐른 길. **P-Channel**, **N-Channel** 두 가지가 있다.

Characterization Testing

특성분석을 의미하며 제품이 전기적 규격을 만족하는지 여부보다 실제 측정치가 전압, 온도등에 따라 어떠한 특성이 있는지 분석 시험 하는 것을 말한다. 따라서 **Test Time**은 크게 부각되지 않으며 가장 정확한 **Data**를 얻는 것에 주안점이 있다.

Charge

전하

Charge Coupled Device(CCD)

전하 결합소자.

Chip

전기로 속에서 가공된 전자회로가 들어 있는 적은(한변길이 **0.5~ 10mm**정도) 포장되기 직전의 얇고 네모난 반도체 조각(**Die**와 같 다). 수동소자, 능동소자, 또는 집적회로가 만들어진 반도체.

Chip Select

많은 **LSI**칩중에서 특정의 칩하나를 선택하는 데 사용되는 **LSI**의 입력단자나 신호.

Chip-Set

System을 구성하는 다수의 **component**(**TTL**, **Contro-ller**, **PLL**등)를 여러개 혹은 하나의 **Chip**으로 구현하는 것. 따라서 **chipset**은 그에 맞는 다수의 **system solution**및 **software**와 함께 제공되어진다.

Chiral

거울에 비친 분자의 상이 원래의 상과 다른 것을 의미한다.

Chiral Nematic Phase

액정상으로 콜레스테릭 액정과 같은 것의 별칭이다. 당초 이 종의 액정상에는 **cholestric** 유도체 특징이 보임에 따라 콜레스테릭상이라는 명칭이 이용되었지만 그 후 네마틱상을 주는 화합물과 유사구조의 카이랄 화합물이 같은 콜레스테릭상을 주는데서 명칭이 붙었다.

Chiral Pitch

네마틱 액정에 카이랄제를 첨가하면 분자 배열 나선 구조를 갖는다. 이 나선의 주기를 말한다.

Chokralsky Method

Chokralsky가 고안한 단결정 반도체 제조방법.

Chromaticity(色度)

색 평가는 일반적으로 색상, 명도, 채도의 **3**요소로서 행해지지만, 이것들을 총칭해서 색도라고 부른다.

Chrome Mask

Mask의 한 종류로 유리 원판위에 **chrome(금속)**박막으로 회로가 인쇄된 **Mask**.

Chuck

공장기에서 작업물 또는 공구를 고정하기 위한 장치를 말하며, 반도체 공정에서는 **Wafer Test**시 **Wafer**를 고정시키고 적절한 온도를 가해주는 원형으로 된 **Prober**의 특정부분을 의미한다.

Chuck Table

절단작업을 하기 위하여 **Wafer**를 올려놓는 치구를 말함.(진공으로 고정시킬 수 있게 되어 있음)

CIM(Computer Integrated Manufacturing)

제조업체에 있어서 기술, 생산, 판매의 제기능을 경영 전략하에서 통합하는 정보 시스템이다. 다품종 소량생산에도 대응할 수 있는 전자동 기술, 정보처리계, 제어계, 반송계 등을 포함한 **Computer**지원에 의한 총합적 자동화 기술이다.

Clad

비교적 얇은 금속층이 양쪽면에 결합이 된 기본재(**Base Material**)의 상태.

Clamp Pressure

조임쇠 압력, 상하금형을 맞물리는데 필요한 압력.

Clean Class (청정도)

청정실내에 공급되는 공기중의 **Particle**관리정도에 따라 정한 등급. **1M DRAM**의 청정실은 **0.1μm**의 **Particle**를 기준으로 결정. 통상 **0.5μm**이상의 공중입자가 체적내에 있는 **Particle**의 수를 말함.

Cleaning

Wafer나 **Carrier**등을 화공약품 및 순수한 물(**D.I Water**)을 이용하여 깨끗하게 하는 것을 말함.

Clean Paper

먼지가 발생하지 않는 종이.

Clean Room(청정실)

공기의 온도,습도 및 **Particle**이 작업공정에 적합하게 인위적으로 조절 관리되는 실내공간.

Clearance Hole

기판 기본재에 형성에 되어 있는 홀과 동일한 축을 형성하고 있으나 크기는 더 큰 전도성 회로층에 형성되어 있는 **Hole**.

Clinched Lead

기판의 홀속에 삽입되어 솔더링이전에 부품이 떨어져 나가는 것을 방지하는 역할을 하는 리드.

Clock Pulse

논리회로에서 일정한 주기의 펄스를 게이트의 **1**개 입력단자에 가해두고 이 펄스와 **AND**를 잡음으로서 시간의 규제와 파형의 정형 을 하는 경우가 많은데 이와 같은 펄스를 **Clock Pulse**라고 한다.

Cluster

터미널 또는 컴퓨터화된 시스템으로부터 일반적인 통신통로를 분배하는 입출력 장치들의 집단. 이것은 컴퓨터와 클러스터간의 설비사이에 정보의 흐름을 관리하는 로컬 클러스터 컨트롤러에 의해 운영된다.

C-MOS

(Complementary Metal Oxide Semiconductor)

N Channel, P Channel의 두 **MOS Transistor**가 합해서 기능을 발하는 복합체로써 낮은 전력소모와 높은 **Noise Margin** 기타 신뢰성 에 잇점이 있다.

CMOS 표준 Logic

TTL과 동일하게 품종이 풍부하여 넓게 사용되고 있는 **CMOS Logic IC**의 **Family**, 범용 **Family** 에는 **NAND**나 **NOR**의 **Gate, Flip-Flop** 등의 품종이 있으며, 최근에는 **Bipolar**고속 **Logic IC**에 필적하는 고속 **CMOS** 표준 **Logic**가 상품화되고 있다.

MOS

Clocked CMOS, 시계용 **CMOS**.

C-MOS 외검 검사표

LOT크기의 단위 및 불량 항목을 나타내는 표.

CMS(Central Monitoring System)

중앙 감시장치.

Coating

감광막, 절연막 또는 금속박을 **Wafer**표면에 균일하게 증착하는(바르는)과정.

COB(Chip on Board)

PCB Board에 **Die**를 붙인 것.

Cob(Collector Capacitance)

컬렉터 용량 **Collector-Base**간의 **PN**접합 용량.

Bubbler

Wafer 고압 세정시 정전기 발생을 억제하기 위하여 물을 공급하는 장치.

Co-Processor

Main processor에서 제공하지 못하는 특정 용도의 **instruction**을 가진 프로세서. **Main processor**와 함께 사용되며, **floating-point**연산을 하는 **math-co-processor**, **graphic**기능을 하는 **graphic coprocessor**등이 있다.

CODEC (Coder and Decodr)

ADC와 **DAC**를 **one chip** 화한 **IC**.

COG (Chip On Glass)

액정패널의 유리기관위에 드라이브 대규모 집적회로를 직접 내장하는 방식으로, 초박형, 경량화로 인해 접속피치의 미세화에 대응하는 새로운 실장방식이다.

Cold Solder Joint

불충분한 가열 및 솔더링의 불충분한 세척이나 솔더의 오염으로 인하여 솔더 표면이 젖고 균일하지 못하며 구멍이 많은 상태의 솔더 결합.

Cold Test

제품을 강제로 저온상태에서 검사하는 것
(-18°C 이하)

Collector

접합 **Transistor**에서 출력이 나오는 부분.

Collet

Chip을 **Lead Fram**에 접착시키는 데 **Expanding Tape**에 접착된 **Chip**을 **Lead Frame**에 붙이는 도구.

Column

액화된 공기를 비점차에 의해 질소와 산소, 아르곤등으로 분류시키는 정류탑.

Column성 Fail

Device Test 결과 일정한 **Y Address**, 변화하는 **X Address**를 갖는 **Cell**들이 연속적으로 **Fail**된 경우.

Combinational Circuit (조합회로)

기본 게이트인 **NAND**, **NOR**등을 조합한 비교적 기본적인 **Digital**회로

Common

전기를 공급시키는 단자중 접지되는 공통단자를 의미함.(**Ground**)

Comparator

두 개의 입력을 받아서 그 진폭의 크기를 비교하여 요구되는 신호를 선정하는 비교증폭기, 출력측은 **TTL**등의 범용 **Logic IC**와 직결되어 있다.

Complementary Circuit (상보형 회로)

바이폴라 또는 유니폴라로서 극성이 반대인 **TR**을 접속하여 하나의 기능을 갖게 하는 회로를 말한다.

Compound

선 연결된 반제품을 포장하고 성형 재료로서 화합물인 수지에 각종 배합제를 가하여 성형가공하기 쉽게 만든 열경화성 수지.

Compound Semiconductor

화합물 반도체.

Component (컴포넌트)

개개의 부품을 뜻함. 혹은 합계 결합되어지면 일정한 기능을 수행할 수 있는 부품들의 조화된 상태를 말함.

Component Density (컴포넌트 리드 홀)

부품단자를 전기적으로 연결시키거나 부착시키는 역할을 하는 홀.

Component Pin 부품핀)

부품으로 연결이 되어 기계적이나 전기적인 연결을 한다.

Component Side (부품면)

인쇄회로기판중 대부분의 부품이 실장되는 면.

Compound Device.

하나의 케이스속에 2개이상의 회로소자를 포함하는 것을 복합부품이라고 한다.

Compressor

공기 압축기.

Computer Network

컴퓨터 네트워크. 복수의 컴퓨터 혹은 1대의 초대형기와 다수의 단말기를 통신회선으로 연결하여 효율적인 데이터 전송을 하기 위한 통신망.

Condenser(콘덴서)

기본적으로 2장의 전극사이에 유전체를 둔 구조.

Conductance

저항의 역수로서 도전도라고 하며 전류가 흐르기 쉬운 정도를 말한다. 교류회로에서는 어드미텐스 **Y**가 **Y-G-jB**로 표시되는데 이 식의 **G**가 컨덕텐스이다. 병렬컨덕텐스위 합성치는 각 컨덕텐스의 합이 되므로 병렬회로의 계산에 이용하면 편리하다.

Conduction Band (전도대)

결정이 갖는 전자의 에너지 상태를 에너지대로 표현했을 때 가장 에너지 값이 작은, 즉 맨위에 있는 에너지대로 수용 가능한 수의 전자로 충만되어 있지 않는 상태에 있는 에너지대.

Conductivity (전기 전도도)

전기가 통하기 쉬운 정도를 나타내는 양으로 전기 저항의 역수이다.

Conductor (도체)전기가 통하는 것
(비저항이 $10E 6 \sim 4cm$ 정도의 범위)

Conductor Side (회로면)

단면 인쇄기판중 회로를 포함되는 면.

Conductor Spacing (회로간격)

회로면에 있어서의 회로와 회로의 간격.

Contact (TEST)

통상 **Continuity Test**라고 칭하며, **tester interface**와 **device**사이의 접촉 혹은 연결이 정확히 되었는가를 확인하는 것이다. 이 **Test**는 보통 각 **IC pin**의 **protection diode**에 순방향으로 전류를 인가하고 전압을 측정함으로써 가능하다.

Contact Potentia (접촉전위)

일반적으로 두 종류의 금속을 접촉시키면 한쪽에서 다른쪽으로 전자가 이동하여 두 금속간에 전위차가 생기는 데 이 접촉 자체로부터 유기되는 두 물질간의 전위차를 접촉전위라 한다.

Contrast Ratio

디스플레이상에서 일정 조건의 빛을 조사할 때 액정 표시기의 밝은 부분과 어두운 부분의 정도의 명암의

대조를 의미한다. 즉 회면의 백과 흑 각각의 경우의 광의 투과량의 비에 의해 정의한다.

Conductor Width (회로폭)

기판의 위에서 회로를 내려다 보았을 때의 가장 넓은 부분.

Conformal Coating

기판의 부품결합이 완전히 끝난 상태에서 표면을 절연체로 실시하는 코팅.

Confounding

교락, 타인자나 **block**인자 또는 교호작용에 의한 효과와 인자간의 미소한 효과나 주효과가 구분되지 않고 결합(혼합)되는 것을 말한다.

Connector Area (단자부)

외부와 전기적으로 연결될 수 있도록 사용되는 부분.

Console

컴퓨터 시스템의 일부분으로써 관리자 또는 조작용과 컴퓨터 사이에 대화(연락)을 할수 있는 장치.

Contact Resistance

Metal과 **Wafer**표면 접합부의 전기적저항크기.

Contact Spacing (접촉간격)

인접단자 각각의 중간선간의 거리.

Contact Spiking

Al이 **P/N**접합면과 **Alloy**되었을 때 **Junction**이 매우 얇은 **Junction**을 침범하여 **Spike**모양으로 **Alloy**된 현상을 말한다.

Contamination

오염.

Control Chart

공정이 통계적 관리상태 인지 아닌지를 평가하기 위한 도식적인 방법으로 관리한계와 통계적 측정치를 비교하여 관리상태를 판 단한다.

Control Chart-Standard given

해석용 관리도. 관리도상의 점들에 대해 적용할 수 있도록 채택된 기준값을 근거로한 관리한계선을 가지고 있는 관리도

Control Gate

2 Polysilicon Stacked Structure를 가지는 **Non-Volatile Memory** 중 실제적 **Gate**역할을 하는 전극으로서, 이**Electrode**의 **Bias**상 태에 의하여 소자의 **Program**과 **Erase**가 수행되어 진다.

Control Limit

관리한계. **data**가 안정상태인가 아닌가를 판단하는 기준으로 또는 어떤 조치가 필요한지의 기준으로 사용되는 관리도상의 한계

Continuous Sampling Plan

연속 **Sampling**법. 개별단위체의 합,부판정을 포함하고 전수검사의 선택적 주기와 검사제품의 품질에 따라 **sampling** 을 적용하는 개별제품단위의 연속체에 적용하기 위한 **sampling** 계획을 말한다.

Conventional Memory

DOS에 의해 인식되고 관리될 수 있는 **Memory**영역을 말하며 **640KB**로 제한되며 **Base Memory**라고도 한다. 그 이상의 영역은 **Expanded Memory**와 **Extended Memory**를 동시에 사용할 수 있다.

Converter

주파수 변환의 동작을 하는 회로.
직류의 전압을 바꾸는 장치.

Cooker Test

용기속에 물을 넣고 거기에 **TR, Diode, IC**등을 함께 넣어서 뚜껑을 밀폐하여 가열하는 시험.

Coplanar Structure

트랜지스터 공정에서 게이트와 소오스트레인 전극이 활성층의 위에 있는 구조.

Core

Embedded IC에서 **Micro-Operation**과 **ALU**등의 **CPU**기능을 하는 핵심 **Block**을 주변회로(**Peripherals**)에 대응하여 **Core**라 한다.

Correlation

검사장비의 상태를 점검하고 검사되는 제품이 정확히 검사되는지를 확인하기 위하여 점검하는 시점을 기준으로 그 이전의 장비 상태를 비교하는 방법.

Corrosion(부식현상)

AL식각후 **Etchant Gas**에 의해 **Al₂O₃**가 되어 **Metal**이 부식되는 현상

Cosmetic Appearance(외관규격)

액정 패널의 외관성을 규격을 결정하기 위한 것을 액정표시소자의 응용분야 및 고객의 요구정도에 따라 **A**급은 자동차용 **Instrument panel**등 주요고객, **E**급은 산업용(**car-audio**), **B**급은 **Game**기용 등이다.

Convalent Bond(공유결합)

몇 개의 원자가 모여서 분자를 이룰 때 양쪽 원자에서 전자가 하나씩 쌍을 이루어 결합하게 되면 매우 안정하고 강한 결합력을 가지게 된다. 이것은 서로 상대방의 원자가 갖는 전자를 공유하는 결합상태이므로 공유결합이라 한다.

Cooling Wafer (CW)

냉동기에서 냉매의 압축열을 흡수하는 냉각수

CPO (Customer Product Operation)

소비자 요구 수준 만족을 위한 **Device**의 특수 **Test**를 말하며 이는 **Customer**의 **Special Spec**을 적용함.

CPU (Central Processing Unit)

Computer의 일부분으로서 명령을 수행하기 위한 지시나 제어, 연산기능을 갖고 있는 부분으로 인간의 두뇌에 해당하는 부분.

CPU Core

LSI설계에 사용되는 **Microprocess**나 **microcontroller**회로, **standard cell**과 **SOG**형 **Gate Array**의 **library**로써 등록시키고, **user**는 필요로 하는 **system**을 용이하게 **ASIC Micon**으로

1chip화 시키는 것이 가능하다

Crack

금감. 즉 절단시 충격, 또는 **stress**차에 의한 **Chip**, 막질 혹은 **PKG** 몸체에 금이 가는 현상.

Cradle

Chip Mount를 연속적으로 하기위해 사용하는 금속 리본을 말하며 베이스 리본, 콘 따위와 같은 것이다.

Crazing

밀착된 기초재의 내부에서 화이버교차시 교차부분에서 화이버가 분리되는 상태.

Critical Energy

Ion주입시 **Beam Energy** 크기가 높아 불순물이 **mask**막질을 투과하여 **Implant**되는 위험 **Energy**를 말함.

Cross Section(절단면)

절단면을 말하며 여러 가지 **Layer**로 형성된 **Pattern**의 모양을 관찰하기 위해 **Layer**의 수직방향으로 잘라놓은 단면모양.

Cross Talk

시그널 회로 사이에서의 에너지로 서로 영향을 미쳐 방해를 일으키는 상태.

Cross-over

IC가 복잡해지면 배선을 입체적으로 교차시키는 것을 말한다.

Crow Feet

Wafer 표면의 새 발자국 형태의 결함.

Crystal Osillator

수정 진동자의 안정성과 압전현상을 이용하여 전자회로의 발진기를 형성하는 것.

CTN(Complementary TN)

각 화소의 액정분자에 두가지 상반된 방향을 주어 보다 넓은 시야 각을 가능케한 특수 유형의 **LCD**결정

CUM Graph(Cumulative Graph)

임의의 **data**를 통계적으로 관찰하기 위해 전체 **data**의 수를 정규화하고 **data**의 값에 따라 누적하면서 도식화한 그림. **Water**내의 각 **die**에 관한 정보와 같은 행열구조의 **data**를 통계적으로 관찰하기 위해 동일 위치의 **Die (element)**의 **Data**를 누적하여 전체행 열(**Wafer**)의 분포를 볼수 있게 한 그림.

Cumulative Frequency Distribution

누적 도수분포. 특별한 급경계치보다 크거나 작은 발생 빈도를 갖는 개별 관측치들의 조합을 말한다.

Cure

경화, 즉**PKG**를 인쇄후나 성형후에 단단하게 굳히는 작업.

Custom IC.

고객의 주문에 의한 사양으로 작성되는 **IC**.

Customer Layer

ASIC process 의 일부로서 수많은 **gate**를 **array**상에 배열하는 **base array process** 가 완료된 후 이를 **user**가 요구하는 기능에 맞추어 각 **gate**를 연결하는 배선 **process**라 할 수 있다.

CUT-OFF Frequency

액정소자가 어느 이상의 주파수로 인해 교류 구동으로 추종할 수 없게 되는 한계 주파수를 의미함.

Cut Stroke 절단범위.

CV(Cleaning Vacuum)

청소용 진공으로서 라인내 청소시 사용된다.

CV(Count Variance)

수량차이.

CVD (Chemical Vaper Desposition)

APCVD상압증착, **LPCVD** 저압증착방식등으로 분자기체를 반응시켜 **Wafer**표면위에 **Poly**나 **Nitride**, **PSG**, **BPSG**, **LTO**등의 막질을 형 성시키는 공정.

C-V Plot (Capacitance Versus Voltage Plot)

Wafer의 정전용량 특성을 도면화하여 산화막의 막질평가, 오염도(정전용량, 두께, 문턱전압, 농도)를 파악하는 기법.

CVST (Constant Voltage Stress Time)

절연막의 신뢰성을 측정하는 한 방법으로 일정한 전압으로 인가하여 절연막이 깨질때까지의 시간을 말함.

Cycle

Function Test에서 패턴이나 백터를 **Device**에 인가하고 다음번 패턴이나 백터를 인가하기까지의 시간.

Cycle Time

주기적으로 일어나는 연속동작의 최소시간 간격.

CRT(Cathode-Ray Tube)

가장 고전적인 화상 전달방법으로 브라운관으로 알려져 있다.

Cryo-Pump

고진공 펌프로써 극 저온에 의한 **Gas**흡수 및 흡착식 펌프.

CQ(Conditional Qualification)

조건부 양상승인.

CTE(Coefficient of Thermal Expansion)

열팽창 계수.

CTM(Clean Tunnel Module)

천정 전체를 **Hepa Filter**를 사용하여 최적의 **Clean Room**을 유지시킬수 있는 공조방식으로 **A Class**까지 유지할 수 있다.

풍속은 약 **0.3m/s**정도이며 환기 회수는 약 **700회/h**정도이다. 바닥 **Granting**사용으로 **Down Flow**로 하는 것이 가장 좋은 **Clean** 유 지를 할 수 있고, 그 외 수평형이나 **Hepa Box**를 사용한 난류형으로

도 사용된다.

CTS(Computerized Typesetting System)

전자식자조판 시스템으로 설명되며 출판물의 제작에 있어 편집과 조판과정을 표준화하고 전산화하여 편집부와 조판부, 인쇄부를 컴퓨터로 연결하는 것이다.

CU(Control Unit)

Timing. 제어신호를 생성.

Culvert

용역동, 기타동과 각 라인에 유틸리티를 공급.

D

D(Demerit)

Quality score의 가중치를 얻기 위한 수단을 제공하기 위해서 사건이나 사상의 구분을 위해 정해 놓은 가중치.

D-A 변환기(Digital to Analog Converter)

디지털 신호를 입력하여 **Analog**신호를 출력으로 꺼내는 회로를 말한다.

DA(Die Attach)

Die를 **Lead Frame**에 접착시키는 공정

DAC(Digital to Analog Converter)

Digital 신호를 **Analog**신호로 변환되는 변환기. **Hi-Fi**음악용 **CD player**에도 **16bit D/A convertor**가 사용되고 있다.

D.C Characteristic

Device의**Status**에 따라 흐르는 **Current**특성을 말하며, **Device**동작 **Status**별로 구분되어 있음.

DAD(Digital Audio Disk)

오디오 신호를 디지털로 변화시켜 기록한 **Disk**를 말한다.

DAE(Dynamics Asian Economies)

한국, 대만, 홍콩, 싱가포르등 아시아 신흥공업 경제권이란 말 대신 경제협력개발기구가 새롭게 사용한 용어이다.

Daisy Chain

복수의 주변 **LSI**에 입력요구가 동시에 발생할 때 우선순위를 결정하는 회로

Dambar

PKG Lead의 상단부분을 연결하는 가로축**Bar**.

Dark Current(암전류)

무신호시에 흐르는 전류로서 차단전류와 같은 것이다.

D.A.T.A

미국 **Derivation And Tabulation Associates Inc.**에서 발향하고 있는 규격일람표.

Data Line

매트릭스 배열에 입력되는 신호가 들어가는 라인으로 어드레스선과 함께 화소의 **on-off** 구동한다.

Data Retention Mode

휘발성 메모리(**DRAM/SRAM**)에 데이터를 저장하는 형태로 일반적으로 시스템 **power-off** 직후 **battery back-up circuit**에 의해 데이터가 메모리 제품이 기억될 수 있도록 하는 최소한의 입력조건의 상황

DC(direct Current)

반도체 소자의 직류 전압특성.

DC Characteristic

Device의 **Status**에 따라 흐르는 **current**특성을 말하며, **Device**동작**Status**별로 구분되어 있음.

DC Parametric Testing

Steady state test로서 **OHM**의 법칙을 기본으로하여 전기적 특성이 결정되는 것을 의미한다. 보통 주어진 전압/전류를 인가하고 전류/전압을 측정한다. **DC test**에는 소모전류(**ICC**), 누설전류(**leakage test**), 입력전압(**VIL, VIH**), 출력전압(**VOL, VOH**)등이 있다.

DC PDP (Direct Current Plasma Display Panel)

음극과 양극 사이에 프리즈마 가스(**Ionized Neon-Argon Gas**)를 봉합하고, 양전극 사이에 직류를 가하여 프라즈마를 발광시켜 신호를 표시하는 소자.

DCW (Dry Cooling Water)

FAB공정에서 순환되는 공기의 온도를 미세하게 조절하기 위하여 **Cooling Coal**로 흐르는 물.

DD (Double Die)

이중 **Die**.

Debug

불량품, 불합격품을 제거하는 작업 일반.

Debugging, Screening, BURN-IN이라고도 한다.

Debugging

Test Plan에 의해 제시된 내용과 실제 소자에서 나타나는 차이점을 줄여 나가기 위한 일련의 작업이다.

Decay Time

네가티브 표시의 경우 최대 콘트라스트비가 **100%**에서 **10%**까지 변화하는 데 걸리는 시간.

Decel Mode

가속에너지를 가하지 않고 추출전압만으로 **Ion**을 주입하는 형태(에너지 범위 **0-33kev**)

Decoder

2진법의 수를 해독(**Decode**)하여 특정의 출력(**10**진법의 수)을 선택하는 회로를 **2**진-**10**진 **Decoder**이라 한다. ↔ **Encoder**

Defect (결함)

product나 **service**에 목적인 사용기능을 만족시키지 못하는 심각한 원인이 발생하여 제품의 특성이

목적한 수준이나 상태에서 벗어남. **defect**는 심각한 정도에 따라 다음과 같이 분류한다.

- 1) **Class 1** 매우 심각 : 매우 심한 손상이나 대단히 큰 경제적 손실을 직접 초래.
- 2) **Class 2** 심각 : 중대한 손실이나 경제적 손해를 직접 초래.
- 3) **Class 3** 중요 결함 : 사용목적에 고려할 때 주요 문제점들과 관련된 결함.
- 4) **Class 4** 미세 결함 : 사용목적에 고려할 때 하찮은 결함.

Deflash

Compound 찌꺼기 제거.

Defocus (초점 불량)

사진 공정에서 사용되는 용어로써 감광 원판과 감광 물질(**P/R**)과의 형상이 불일치되는 초점의 부정확도.

Delamination (층간들뜸)

다층기판의 층간의 들뜸이나 표면동박과 내부기초재간의 들뜸.

Delay Time

TR의 **Switching**특성을 스위칭 시간으로 나타낼 때 베이스에 입력 펄스가 가해진 후 콜렉터에 흐르는 전류의 출력 펄스가 최대 진폭(최종값)의 **10%**에 도달하기까지의 시간.

Demo

미 보유 장비에 대한 공정특성을 분석하기 위해 장비가 있는 곳으로 **Wafer**를 반송하여 공정을 진행한 후 반입하여 공정특성을 분석하는 행위.

Demultiplexer

멀티플렉서와 반대로 직렬로 입력된 **data**를 제어입력(선택입력)에 의해 **control**하여 병렬로 변환해서 출력으로 꺼내는 회로이다 .

Dent

동박두께를 크게 손상시키지 않으면서 약간 짓눌려진 상태.

Depletion Device

MOS FET의 일종으로 **Gate**전압을 가하지 않아도 **Channel**이 형성되어 있는 반도체 장치.

Depletion Layer(공핍층)

PN접합에 역방향 전압을 걸면 **P**측에 있는 **Hole**과 **N**측에 있는 전자는 접합부분에서 멀어진다. 그리고 접합부근에는 캐리어가 매우 적은 부분이 생기는 데 이것을 공핍층이라 한다.

Depletion Mode

전계효과 **TR**의 사용법중 채널을 약하게 하는 방향으로 게이트에 **Bias**를 가하는 방법.

Depletion Type

Channel을 **deplete**하는 방향. 즉 약하게 하는 방향으로도 **channel**전류를 제어 할 수 있는 형태를 말한다.

Deposition

상압또는 저압상태에서 주로 **CVD**방법에 의해, **Si**기판위에 **Film(막) (Oxide, Nitride등)**을 성장시키는 것.

Deprocess

공정을 끝마친 후 소자를 공정 순서와 반대로 한 층씩 **strip back**해 가며 **defect site**를 분석하는 과정.

Descum

현상작업후 제거되지 않고 남아있는 미량의 감광액 찌꺼기(**scum**)를 추가로 건식 제거하는 작업.

Design Kit

Electrical/Physical로 구별되며 **ASIC** 제품 설계시 전기적으로 **modeling**과 **layout**정보를 포함한 **database**를 이용하여 설계하는 **Electricla Design Kit**를 말한다. (예: **Mentor Design Kit**, **Verilog Design Kit**등)

Design Rule

반도체의 설계과정에서 공정능력과 설정된 제조방법의 한계성을 고려하여 반드시 지켜져야만 하는 설계 규칙으로서 각 기능 부위 및 기능 부위간의 물리적 거리가 그 내용으로 포함된다.

Develop

Mask를 **Align**한 후 자외선에 **expose**했을 때 **Pattern**모양에 따라 노광된 부분과 노광되지 않는 부분으로 화학반응이 일어난 것을 이용해 화공약품으로 현상하는 것.

Development

현상. 사진공정에서 감광액 도포 및 노광후 필요한 **Pattern**만을 남기고 불필요한 부분의 감광액을 제거하는 작업.

Device

품명(품종)(제품)

Dextrotatory (石示性)

빛의 진행방향에 대해 관측자 쪽에서 본 경우 매질을 통과하는 빛의 편광면이 시계 회전방향하고 있는 것.

Dewetting

용해된 솔더가 표면에 도포되어 움푹 들어가거나 들떠서 불쭉 튀어 나온 상태이나 원래의 금속표면은 노출되지 않음.

DF (Die Fabrication)

Wafer mount 공정부터 **dicing saw**공정을 말함.

Dichronmated Gelatin

빛의 편광 상태에 따라 통과하는 파장이 다른 **Dichomated gelatin**층을 통과할 때 채색이 되도록 하여 광을 착색하는 방법.

Dicing

편도 절단이라고도 하며 **Wafer**절단 방식의 하나로 단일방향으로 절단하는 방식(왼쪽에서 오른쪽으로만 절단)

Dicing Saw

Wafer를 절단하여 **Die (Chip)**를 분리하는 **diamond wheel**.

Die Attach

각 **Die**를 **Lead Frame**에 붙이는 작업.

Die Business

Probe Test 완료 후 **package**를 하지 않고 **Good Die**를 **wafer**형태나 **wafer**를 자른 후 **Good Die**만을 판매하는 것을 말함.

Die Bonder

다이는 칩(**chip**)을 말하며, 트랜지스터나 **IC**를 제조할 때 칩을 스템 또는 리이드 프레임을 붙이는 것을 다이본딩 또는 본딩이라 하며 이에 쓰이는 기계를 다이본더라 한다.

Die Bonding

IC를 제조할 때 **Chip**을 스템 또는 리이드 프레임에 붙이는 것을 다이본딩이라고 한다. 펠렛마운트, 마운트라고도 한다.

Die Coating

Die위에 보호막을 씌우는 작업.

Die Collet

Die 접착을 하기 위한 도구로서 진공으로 **Die**를 흡착 운반하여 접착하며 재질은 텅스텐 카바이드로 내마모 및 내열성이 요구됨. 모양은 피라밋형.

Die Pocket

이송 콜릿에 부착된 **Die**를 예방정열시키는 장소. 재질은 스텐레스 스틸.

Die Sawing

Wafer의 각 **chip**을 조립하기 위하여 톱으로 자르는 작업.

Dielectric Constant(유전상수)

유전 분극의 강한 정도를 나타내는 계수로서 유전율이 이방성을 표시하면 전기장에 평행하려고 하는 유전율이 수직하려고 하는 유전율보다 클수록 액정입자가 일어서는 속도가 빠르다.

Dielectric Isolation

반도체 **IC**의 분리방법의 하나로서 소자간의 저항이 높은 절연물로 **Electrical**하게 분리하는 것을 말한다. 절연 재료는 이산화 규 소(**SiO₂**), **Poly-Si**, **Ce-ramic**등이 있다.

Diffused Resistor

불순물의 **diffusion**에 의한 영역이 저항으로 사용되는 것.

Diffusion

농도차에 따라 액체가 기체가 고농도에서 저농도쪽으로 이동함을 말하는 것으로 확산로 속에서 반도체 소자(**Wafer**)에 높은 온도 를 가해 불순물 **B** (**boron**;붕소) 나 **P**(**Phosphorous**;인)등을 확산시키는 것을 말하며 반도체 특성을 결정하기 위한 것임.

Diffusion Capacitance

Diffusion 에 의해 형성된 **Junction**에서 생겨난 기생 **Capacitor**의 용량.

Diffusion Current

외부 **E-field**/의 영향없이 순수 농도차에 의해 흐르는 **Current**농도가 높은 영역에서 낮은 영역으로 **Carrier**가 확산되면서 발생됨.

Diffusion Furnace

확산 또는 산화에 필요한 고온의 확산로

Diffusion Length

Carrier가 주입되면 확산해 가는 도중에 상대의 **Carrier**와 재결합하여 차례로 소멸되어 가기 때문에 시간이 지나면 **Carrier**의 농도는 감소하게 된다. **Life Time**동안 **Carrier**가 이동해 간 확산거리를 **diffusion length**라고 한다.

Diffusion Pump

기름을 가열하여 증발된 기름의 냉각시 진공내 **gas**를 흡수하는 방식의 고진공 펌프.

Diffusivity

불순물의 확산도를 나타는 단위.

Digital(DIC)

Analog에 대응되는 말로 "1"과 "0"으로 표시될 수 있는 곳(**Digital IC**)

Digital IC

전압의 높고 낮음을 "1"과 "0"으로 대응하여 **digital**신호로 처리하는 **IC**로써, **MOS IC**와 **Bipolar digital IC**가 있으며, 다시 **logic IC**와 **Memory IC**로 각각 나누어진다. 연산, 제어, 기억기능이 주류이다.

Digitizing

Mask를 만들기 위해 설계된 도형의 좌표를 결정해 주는 것.

Dimenrization(이량체화)

두 개의 분자가 중합 또는 분자간의 힘에 의해 일체가 되어진 것.

Dimension

치수

DIMM(Dual In-Line Memory Module)

PC에 사용되는 **Memory module**의 종류로 **PCB** 前面과 後面수는 같으나 **pin**들이 기능을 달리하는 제품을 말함.

Dimple

Wafer표면 불량으로 오목하게 패인 결함.

Dimentional Stability(치수 안정성)

온도, 습도, 화학적 처리, 외부의 압력에 의해 변화된 크기.

Dimentioned Hole (치수홀)

인쇄기판에 있어서 홀의 위치가 반드시 그리드 상에 위치하지 않고 좌표값에 의해 위치가 결정되는 홀.

DIN

Deionized Water로서 초순수를 말한다.

Diode

di-electrode를 따서 만든 단어로 2극 소자를 말함. 진공관에서도 2극관을 다이오드라하며 검파, 정류작용은 가지나, 증폭 작용은 없으며 따라서 수동소자로 분류함.

Diode Array

여러 개의 다이오드를 하나의 펠렛에 조합하여 복합시키는 것.

Diode Ring Structure

다이오드를 링 구조로 연결 순방향 특성을 이용한 구조.

DIP(Dual Inline Package)

가장 보편적인 IC포장의 한 형태로 직사각형 모형이며, 내부 회로(Chip)와의 연결도선이 옆면에 수직으로 붙어 있는 포장 형태.

Discolor

Wafer육안 검사시 불량 항목의 하나로 FAB공정중 또는 절단할 때 발생하는 Pad 변색.

Discrete

집적회로(IC)에 반대되는 말로서 개별전자부품을 가르킨다. TR, Diode, 저항, 콘덴서등의 부품은 각각 개별부품으로서의 기능밖에 가지고 있지 않으므로 이들은 모두 Discrete부품이 된다.

Discretional Array Method

LSI를 만드는 방법의 하나로서 웨이퍼속에 포함되는 수 10에서 수 100의 단위회로(Cell또는 Unit Cell이라 부른다)의 모두를 검사하고 양호한 Cell만을 골라내어 그것을 상호배선하는 방법을 말한다.

Discrete Device

단순한 개별소자로 저항, Transistor, Diode 같은 것.

Discrete Product

개별소자는 Diode, Transistor, 정류기(Rectifier), 트라이스터(Thyristor)등을 일컫으며, 이러한 소자들의 결합으로 구성된 집 적회로에 대응하는 말.

Discretion Wiring-Approach

Wafer의 모든 기능 단위의 양,부를 미리 판정 기억하고 양품을 선택적으로 결선한 다음 그 Wafer를 이용하여 최종 상호배선Pattern을 설계함으로써 LSI등을 제작하는 방식을 말함.

Display Device

숫자, 문서등을 표시하기 위한 숫자.

DIW (Deionized Wafer)

초순수로서 설비에서 복잡한 공정을 거쳐 수중의 이온 및 오염물질을 전주 제거한 순수, 생산라인의 Wet공정을 비롯하여 반도체 제조공정에서 광범위하게 사용됨.

D-I Water (De Ionized Water 또는 Semiconductor grade Water)

이온이 함유되지 않는 물이란 뜻으로 불순물을 제거시킨 순수, Wafer세정 및 절단시 용수로 사용됨.

DLM

2층 구조의 Metal Layer를 갖도록 공정을 진행시켜 집적도를 향상시킬 수있음. 1층 금속은 power 및 routing line으로 사용하고 2층금속은 rounting line으로 사용하는 소자간의 배선기술.

D-MOS

(Double DiffusionMetal Oxide Semiconductor)

연속적으로 확산공정을 두번 진행함으로써 channel length를 짧게 하고 이에 의해 고전압, 고전류를 인가하는데 장점을 갖는 MOS를 일컫음.

DMA (Direct Memory Access)

주변장치와 주기억장치에서 **CPU**를 거치지 않고 직접 기억장치로 **data**를 입출력할 수 있게 하는 것으로 **DMAC(8237A)**에 의하여 **DM A**기능에 제어되며 고속으로 **data**를 전송할 수 있다.

Domain

동일 액정 **cell** 내에서 기본이 되는 액정분자의 배향벡터가 하나의 모양으로 이어져 있는 액정의 영역이 복수로 존재하고 있는 상태.

Donor

반도체 소자의 특성을 **N-type**으로 만들기 위하여 전도대에 자유전자를 주입하는 불순물 원소로 **P, As, Sb** 등이 있다.

Donor level

반도체 속에 불순물로서 혼입한 원자에 의해서 자유전자가 생겨 반도체가 **N**형으로 되는 불순물 원자를 **donor**라고 한다. 이 상태를 에너지대의 그림으로 나타낼 때 도우너에 의해서 금지대(**Forbidden band**)속에 생긴 에너지 **level**을 **Donor Level**이라고 한다.

Dope

반도체 속에 불순물을 주입(확산, **ION IMP-LANTATION**등에 의해서)하는 것.

Dopant

Dope시 주입되는 불순물.

Doping

반도체 재료(**Wafer**)에 불순물을 주입하여 **P-type**또는 **N-type**의 반도체 특성을 만드는 것으로 박막이나 실리콘 기판에 불순물을 주입시켜 전도특성을 향상시킬 때 사용함.

Dope Oxide

Doping된 **layer**위에서 성장된 **Oxide**.

Dosage

불순물의 양을 말하는 것으로서 단위 면적당 투입되는 불순물 개수를 나타냄.

Dose

Ion Implantation등 충격에 의해서 반도체에 불순물을 주입하는 것을 **dose**라고 하며, 당 불순물 개수로 표현.

Dot-Clock Signal

디스플레이 시스템에서 화소비를 조절하는 신호.

DPLL(Dull Phase Locked Loop)

PLL은 입력신호에 대해 주파수와 위상이 같은 신호를 발생시키는 폐회로로서 무선통신에서 수신과 송신을 동시에 수행하기 위해 **2**개의 **PLL**을 사용하는데 이러한 두개의 **PLL**구조를 **DPLL**이라 하며, 이는 **Digital PLL**과는 구별된다.

DRAM(Dynamic Random Access Memory)

Capacitor의 정전용량을 이용한 **Cell**모양의 **device**로써 읽기와 쓰기가 자유로우며 **CAP**에 **Charge**를 시켜 주기 위해 **Refresh Cycl e**이 필요함. **Refresh** 동작을 필요로 하는 **RAM**으로 정보의 기억을 용량(**capacitor**)의 전하 유,무에 따라 행하는 **Memory**로써 기억 하고 있는 정보가 용량의 **leak**전류에 의해 시간이 경과에 따라 소멸되기 때문에 일정기간까지는 정보를 읽고 출력시키며, 재차 기재화는 것을 할 필요가 있으며 이것을 **Refresh**동작이라 한다. **DRAM**은 **SRAM**에 비해서 **memory cell**의 면적이 적기 때문에 대용량 에서 경제적인 **memory**를 얻을 수 있다.

Drain

전계효과 **TR(FET)**의 전극의 하나, 드레인은 주회로 전류가 흘러들어 가는 전극이며 통상의 사용법인 소오스 접지 방식에서는 출 력을 꺼내는 전극이 된다. 따라서 드레인은 보통의 **TR**, 즉 접합형 **TR**의 콜렉터에 상당하는 전극이라고 할 수 있다.

DRC/ERC/LVS

등의 **DVP-Circuit**과 **Layout**의 내용의 일치상 및 **Design Rule**, 전기적인 특성을 이상유무를 검사하는 작업.

1) DRC(Design Rule Check)

; **Layout Data**의 규칙(**Metal**의 선폭, 등등)을 **Check**

2) ERC(Electrical Rule Check) ; 전기적인 특성을 **Check**.

3) LVS(Layout vs Schematic) ; **Layout Data**와 **Circuit**의 차이점을 비교 출력.

Dressing

Wafer절단용 톱날(**Blade**)을 다듬어 주는 행위를 **Dressing**이라 함.

Drift

주로 직류 증폭기에서 문제가 되며 입력신호가 "0"인데도 출력전압이 변동하는 것을 말한다.

Drift Current

균일하게 분포한 **Extrinsic Semiconductor**에서 **E-Filed**가 가해졌을 때 흐르는 **Current Carrier**의 **Drift Velocity**는 $v = \mu E$ (μ : **M** obility, **E**: **E**lectric Filed)로 정의된다.

Drive-In

Deposition된 **B**(붕소)나 **P**(인)**DMF wafer**내부로 더 깊이 침투시키는 것을 말하며 확산로(**Furnace**)를 이용함.

Driver

Device에 전압, 파형등을 인가하는 전자장치.

Driving Fregurncy

액정소자를 구동시키기 위해 인가하는 교류 전압의 프레임 주파수.

Driving Voitage

액정소자를 구동시키기 위해 인가하는 교류 전압의 피크 값.

DRO(Destructive Read-Out)

파괴판독. 메모리 소자에서 기억내용을 판독할 때 이 판독 조작에 의해서 기록된 기억내용이 소멸되는 것.

Dross(지꺼기)

용해된 솔더의 표면에 떠 있는 오염물질.

DRT(Device Reliability Test)

"신제품 신뢰성 시험"으로서 신제품에 대한 품질인정검사(**Quality Approval Test**)를 말함.

Dry Etch

건식 식각, 용액성 화학물질을 사용치 않고 활성화된 **Gas(Plasma)**를 이용하는 식각방법.

Dry Process

플레이너 **TR, IC** 등의 사진식각기술에 있어서 가스플라스마나 이온 **beam**을 애칭에 이용하는 방법.

DST(Die Share Test)

Die 접착력 시험으로서 **Die Attach**공정을 거친 중간제품에 대해 **Die**와 **Frame pad**접착 정도를 판정하기 위한 시험.

DT(Down Time)

작업이 중단되는 시간.

Dummy Wafer

Tube내에 공정의 **Uniformity**를 좋게 하기 위해 사용하는 **Wafer** 또는 생산 **Wafer**와 함께 투입되어 생산 **Wafer**의 제품특성의 균일성을 도모하기 위해 쓰이는 **Wafer**

Dumping-ZIG

한쪽 **Carrier**에 담긴 **wafer**를 다른 **carrier**에 한꺼번에 옮겨 담을 수 있도록 하는 치공구.

DUT(Device Under Test)

검사되고 있는 제품. **test**를 하기 위해 장착한 소자를 말하고, 이를 위해서는 **DUT Board**가 필요함.

Duty Cycle

스크린상에서 각 화소를 재표시하는데 걸리는 시간으로 **refresh rate**가 **60Hz**미만이 되면 인간이 깜박임을 인지할 수 있다.

Duty Ratio

주기신호 체계에서 일정주기에 대한 선택신호가 발생하고 있는 기간의 비.

Dyed Polyimides

폴리이미드(**polyimide**)기판에 색소를 녹여서 착색된 층에 빛을 통과시킴으로 착색하는 방법.

Dynamic Shift Register

MOS특유의 회로로서 동적으로 항상 동작하고 있는 **Shif Register**를 말한다.

Dynamic RAM

(Dynamic Random Access Memory; DRAM)

용량성 충전여부에 의하여 "1"또는 "0"의 정보를 저장할 수 있는 기억장치으로 재충전시켜야 기능을 유지 함.

Dynamic Scatting Mode (동적 산란 모드)

전기유체적 불안정상태로서 네마틱상에 전계를 인가하면 전기유체 역학적 불안정성에 의해서 대류가 발생한다. 전계가 증가하면 잇달아 새로운 대류구조가 생겨 최종적인 난류로 변화한다. 난류상태가 되면 액정은 그 광학적 이방성과 유체운동에 의해 강하게 빛을 산란시킨다.

Dynascope

Wafer육안검사용 현미경의 하나로 보통의 현미경과 다른 점은 투영기가 평면 유리로 되지 않고 디스크라고 하는 직경**0.1mm**의 미 소렌즈가 무수하게 배열된 것을 사용하므로써 선명하고 보기 쉬운 특징이 있다. (육안의 피로가 적음) 절단 높이, 깊이, 전단 웨 이퍼 두께 및 웨이퍼 외간 측정등에 사용됨.

DW(Diffused Wafer)

확산 웨이퍼

E

E/Post Simulation

Simulation의 시행 절차상에서 **layout**전에 **esti-mated wire capacitance**를 사용해서 실시하는 것을 **Pre Simulation**이라 하고 **la yout**후에 **actual wire capacitance**를 사용해서 실시하는 것을 **Post Simu-lation**이라 한다.

EA (Exhaust Air)

공정중 장비에서 발생하는 **GAS**를 배출시키는 배기가스로 그 종류는 산, 일반, 유기, 비소, 가열, 열 및 긴급배기등이 있다.

EAROM (Electrically Alterable ROM)

EPROM의 일종으로 전기적인 자극으로 정보의 내용을 바꿀 수 있는 장치.

EBE (Electron-Beam Evaporation)

전자 **Beam**으로 증착시키고자 하는 금속 덩어리를 녹여 금속입자를 **Wafer**(기판)상에 입히는 방법.

EBR (Edge Bead Removal)

Wafer 가장자리의 감광막을 제거시켜 **particle**발생현황을 제거시켜주는 공정.

ECC (Error Check & Correction)

ROM device의 **repair**에서 모든 **column**과 **row**는 각각 다르게 **program**되어 있어 **RAM**에서와 같은 **Redency**를 사용할 수 없다. 따라 서 **logic**을 사용하면 프로그램된 **column**이나 **row**를 제작하여 **fail**된 **column**이나 **row**를 대체하는 기술이다. 시스템 동작시 발생되 는 오류를 자동으로 체크 및 수정할 수 있는 기능을 말하며 **MASK ROM**및 **DRAM Module** 제작시 사용됨.

ECC

(Error Correction Code)(Error Checking Code)

전송로, 기타 외부로부터의 간섭에 의해 부호구성이 어렵거나 부호잘못이 생길 때 그 부호가 원 부호와 는 다른 잘못된 부호인 것을 판별 혹은 정정할 수 있도록 구성된 부호.

ECC Mode (Error Catch & Correction Mode)

Memory Module의 **Parity Bit**를 **2Bit**로 구성하여 전송중 발생하는 **Error**를 찾아 수정가능 하도록 한 **Memory Module**구성의 한 방 식.

ECL (Emitter Coupled Logic)

CML(Current Moded Logic)이라고도 불리어진다. **Bipolar**구조의 **Transistor**를 이용하는 논리 소자(論理素子)의 일종. **Transistor** 의 구성원리인 **Emitter**가 복수 연결되는 구조로 되어있기 때문에 **Emitter Coupled Logic**이라고도 한다.

Edge Board Connector

연쇄회로기판에 가장자리의 접점과 외부전선과의 사이에서 필요시 분리 가능토록 고안된 단자.

Edge Board Connector

연쇄회로기판의 가장자리의 접점과 외부전선과의 사이에서 필요시 분리가능토록 고안된 단자.

Edge Definition (회로요철도)

작업용 **film**과 얼마나 유사하게 회로의 가장자리가 일직선으로 재생되었는가의 정도.

E/D MOS (Enhancement-Depletion MOS)

Enhancement형 MOS에 **Depletion**형 MOS를 부하로한 기본셀을 갖는 회로.

ED (Electronic Data Interchange)

Editing

CAD System을 이용하여 **CRT**상으로 확인을 하면서 **Layout**작업을 하거나 잘못된 부분을 수정하는 일련의 작업.

EDO (Extened Data Output)

DRAM의 **data access**방법중 **fast page mode**의 개선을 위하여 나타난 것으로 일반적인 동작방법은 **/CAS signal**이 **inactive high**로 전환시 **valid data**가 다음 **/CAS signal**의 **low active** 전까지 **data**가 출력되도록 설계되었음. 이러한 동작은 **fast PAGE MODE**의 전체적인 **TPC(fast page mode cycle)**를 줄일 수 있으므로 **speed**개선효과를 얻을 수 있음. 일반적으로 비디오 카드 성능개선에 적용되고 있음.

EDS

완성된 **Wafer**내의 소자의 전기적인 동작상태를 가려내는 작업.

EDS Test

Wafer상에 있는 칩(**chip**)의 전기적 특성을 검사하는 것.

EDS Yield

EDS test시 양품의 수율 :
(**Good Die** / **Net Die**)×100

EECA

(**European Electronic Component Manufactures Association**)

유럽 전자부품업자 협회.

E-E PROM(Electrically-Erasable PROM)

전기적으로 소거와 쓰기가 가능하며 전원 전압이 **off**되어도 **data**가 보존된다. **Parallel**로 **data**를 주고 받는 **Intel Type**과 **Seria l**로 **data**를 주고 받는 **NEC Type**으로 나뉜다. **Tunneling**을 이용하여 전기적으로 **Erase**와 **Programming**이 가능하기 때문에 사용자가 **In-System**에서 정보 변경이 가능하다 그러나 2개의 **Transistor**로서 1 cell을 구성해야 하기 때문에 **EPROM**에 비하여 면적이 크고 고가이다.

Elght Nines

9가 8개 있다는 뜻으로 반도체 결정순도를 나타낼 때 사용되는 용어이다. 즉 99.999999%를 뜻한다.

Effective Channel Length

MOS의 **Source**와 **Drain**간의 실제 유효 거리 **cha-nnel**를 말하며 일반적으로 **Gate length**보다 적음.

EL (전계발광)(ELECTRO-LUMINECENCE)

물질에 전계를 가하여 빛을 내게 하는 것으로 루미네센스의 일종. 1936년에 **DESTRIAU**가 형광층을 2장의 전극사이에 끼워서 교류 전압을 가하여 발광하는 것을 발견하고 이 현상을 엘렉트로 루미네센트라고 부름.

ELD (Electro Luminescent Display)

PDP와 마찬가지로 자발광소자인데 **COLOR** 및 동작전압 개선중인 소자임.

ELD

형광체가 전기장에 의해서 일어나는 직접 여기에 의한 발광현상을 이용하는 표시원리.

Electroless Deposition (무전해 부착)

전류에 의하지 않고 자동촉매 도금용액에 의해 회로가 형성됨.

Electrical Test

Process된 **Wafer**를 **Passivation**전 **Test Pattern**을 사용하여 **Test**하는 맨 첫번째의 전기적 **Test** (즉, **wafer mapping**)

Electron Beam Exposure System

전자 **Beam**을 사용하여 **mask**등에 **pattern**을 그리는 **system**, 종래 **mask**의 제작에는 광학적으로 **pattern**을 발생되는 **pattern**을 발 생하는 **pattern generator**가 사용되었으나, 미세화가 진전된 현재, 모든 묘화기에서 실행 할 수 있다. **LSI**의 **pattern data**는 묘 화기의 **algorithm**에 의해 변환되고, **EBMT**(묘화기용 자기**tape**)가 되어 주사하는 전자 **Beam**을 **on/off**하거나, **aperture**를 변화시켜 **pattern**을 그린다. 최근에는 **ASIC**의 보급으로 소량의 **sample**을 단기간에 만드는 **needs**가 높아 지고 있다. 따라서 일일이 **mask**를 만들지 않고 직접 **wafer**상에 **Beam**으로 그리는 방식이 실용화되고 있다.

Element (소자)

부품 또는 장치를 하나의 기능체로서 본 경우 그 기능체를 구성하는 단위를 말한다.

Ellipsometer

Thin Film 두께 측정장비로 박막표면에서 입사광과 반사광의 편광(**Polarization**)상태차이를 측정해 두께나 굴절율을 구하는 방 식.

Electron Beam Exposure (전자빔 노광)

현미경과 같은 원리로서 빛(자외선)을 이용한 **photolithography**기술이 한계점에 도달했기 때문에 파장이 짧은 전자빔을 사용하 려는 것이다.

EM (Electromigration)

높은 전류 및 온도로 **Metal**의 **Quality**를 특성화하기 위하여 사용되는 시험.

Emitter

NPN, PNP등 접합형 **Transistor**에서 최초로 신호가 입력되지 않는 반도체 부분.

EMM

(Emission Microscope Multilayer Inspection)

Electron과 **Hole**의 **recombination**에 의해 발생한 **photon**을 인식하여 **leakage current**의 경로를 점검하는 **FA**장비의 한 종류.

Emulsion Mask

Mask의 한종류로, 유리원판 위에 **Emulsion**(유제)박막으로 회로가 인쇄된 **Mask**.

Encoder

Decoder에 반대되는 말로서 특정의 코드를 다른 코드로 변환하는 회로이다. (**10**진수 → **2**진수로 변환하는 회로 따위)

End Point Detection

Etch공정이 진행되고 있는 동안에도 **Wafer**의 상태 또는 **plasma**하여 변화가 감지되는 시점에서 **Etch**공정의 **stop reference**로 활용하는 방법.

End Seal

LCD에서 유리 기판사이에 액정을 채워 넣은 후 액정 주입구를 봉하는 공정

End Station

Ion주입을 위해서 **wafer**를 담아서 대기하는 곳.

Endurance

data를 **program**및 **erase**할 수 있는 횟수.

Energy Band

반도체 제조의 기본이론으로서 불순물들의 **Energy**상태와 전도이론을 설명하기 위한 개념적 이론 설명
띠.

Energy Gap

전도대와 충만대 사이에 전자를 취할 수 없는 금지대를 **energy gap**이라 한다.

Energy Level

물질을 형성하고 있는 것은 원자와 이 원자핵 주위를 그 원자에 특유한 개수의 전자가 돌고 있다고 생각
된다. 각 전자는 몇 개의 궤도로 나뉘어서 돌고 있으며 그 궤도의 크기에 대응하는 에너지 상태에 있다.
그래서 세로축에 에너지의 크기를 잡고 그 전자의 에너지에 해당하는 곳에 가로줄을 그어서 이것을 에
너지 레벨 또는 에너지 준위라 부르고 있다.

Enhancement Device

Gate에 전압이 인가되어야 **Channel**이 형성되는 **MOSFET**.

Enhancement Mode

전계효과 **TR (FET)**의 사용법중 채널을 증대하는 방향으로 **Gate**에 **bias**를 거는 방법.

Entity (엔티티)

공정을 진행하기 위한 장치 또는 장비를 총칭.

EOH (Ending on Hand)

계산상에 있어야 할 실재고 (이월된 계산상 재고).

EOP (End Of Point)

식각 공정진행시 원하는 박막만을 식각시키기 위해 다른박막이 드러날때 **plasma**위기가 변하는 점.

EOTC

(European Organization on Testing and Certification)

EPD (Etch Pit Density)

결정결함의 일종인 **Etch Pit**의 밀도.

End Point Detect의 약자로 막질의 **Etch**시 **Etch**상태를 파악하기 위해 **Etch**되는 막질과 다른 막질
이 드러나는 시점을 찾아내는 것.

Epi (Epitaxial Layer)

반도체 소자 제조시 기판위에 단일결정의 반도체 박막을 형성한 것. **Bipolar Transistor**는 보통

Epitaxial Layer내에 형성됨.

Epitaxial

EPI-TAXIAL을 연결해서 만든 말로서 "결정층을 따라서"라는 뜻이다. **Substrate**위에 가스상태로부터 반도체 결정을 석출시키면 **Substrate**의 결정층을 따라서 결정이 성장 석출되는 현상을 말한다.

Epitaxial-Growth (에피성장)

적절한 결정구조를 가진 동형의 혹은 다른 유형의 **Substrate**위에 단결정층을 성장시키는 방법.

EPM (Electric Parameter Monitor)

반도체 공정 진행후 소자의 전기적 특성 및 공정진행상태를 파악하기 위해 **test pattern**에 삽입된 단위 능동, 수동 소자의 특성을 측정하는 공정.

EPM Standard Sub Program

제조기술 담당부서에서 **EPM**업무와 관련하여 규격화시킨 측정이론 및 측정기술 표준.

Epoxy

Chip을 **lead frame**에 접착시키기 위한 전도성수지.

Epoxy Dispenser

일정한 공기압력으로 **Epoxy**내보내는 장치

EPROM

(Erasable Programmable Read Only Memory)

ROM의 일종으로서 사용자가 기억장치속에 저장된 정보의 내용을 지우거나 다시 넣을수 있는 기억장치. 기억내용을 전기적으로 기입하는 것이 가능하고 자외선을 조사함으로써 소거가 가능한 **programm-able ROM**, **Program**소거는 **IC Package**의 석영 **glass**창을 통하여 외부에서 자외선을 조사하여 제거한다. 이런 이유로 기억정보소거는 전체 **bit**를 일괄처리 한다.

EPS(Experimental Plan Sheet)

S/N을 발행 할 때 **RUN SPLIT**실험의 내용과 목적이 상세히 기록되어 있는 양식

Equip(Equipment)

기계장비.

Erase

EPROM이나 **EEPROM**에서 **Floating Gate Tunneling**을 통하여 주입된 전자의 존재여부 상태에 따라 해당 **Bit**의 저장상태를 구분하는 상태이다. **EPROM**에서는 **Floating Gata**로부터 전자가 **discharge**된 상태를 말하며 **EEPROM**에서는 반대로 **Floating Gate**로 전자가 주입된 상태를 말한다.

Erase Gate

Erase Gate는 **3Polysilicon Split Gate**를 가진 **Flash E(E)EPROM**에서 **Erase**를 시키는 데 사용되는 **Gate Electrode**.

ERC(Electrical Rule Check)

전기적인 특성을 **check**하는 것을 말함.

ERC(Electrical Rule Check)

Layout상에서 전원의 함선, 단락 및 개별소자의 전원과의 연결상태를 점검하는 것.

ESD(Electro Static Discharge)

정전기 수준을 나타내는 말로서 정전기에 대해 어느 정도까지 견딜 수 있는지의 정도를 나타냄

ET Part(Extended Temperature Part)

일반적인 **Memory Device**의 사용온도 범위는 **0°C ~ 70°C** 이나 산업용이나 실외에서 사용하는 **Device**는 **40°C ~ 85°C**의 더 큰 온도범위를 요구한다.

Etch Back

홀 내벽으로부터 일정깊이의 비금속부분을 제거하는 공정이며, 이것은 레진의 스페어를 제거하고 적절한 정도로 내부회로를 노출시킨다.

Etch Bias

Photo 공정을 거친 후 **etch**공정을 행할 때 **pattern**전사시의 손실 정도를 뜻함.

Etching

식각. **Silicon wafer**에 필요한 부분만을 남겨 놓고 불필요한 부분을 **chemical**또는 **gas**로 녹여 내는 제작 과정.

Etching Selectivity(식각 선택비) SX

서로 다른 종류의 박막을 동일한 플라즈마(**plasma**)조건하에서 식각을 해나갈 때 각각의 박막에 대한 식각 속도의 상대적인 비를 말한다.

Etch Factor

회로에 에칭된 측면의 크기에 대한 에칭 깊이의 비율.

Etch Rate

식각율. 단위시간당 식각되는 양으로 통상 **A/min**단위를 사용.

E-Test (Electrical Test)

Process된 **Wafer**를 **Passivation**전 **Test Pattern**을 사용하여 **Test**하는 맨 첫번째의 전기적 **Test**.

Evaporation

Wafer표면에 **Al, Au(금)**등을 진공을 이용하여 증착시키는 것.

Evaporator

전자**beam**이나 열저항 방식등에 의해 금속박막을 **wafer**상에 입히는 장치.

Event

Event에서 발생가능한 사건을 일컫는 말로서 **Start, End, Maintenance**등을 의미한다.

Evolutionary Operation(EVOP)

진화적조업법. 정규 생산공정에서 생산을 진행시켜 최적의 공정조건을 찾기 위한 실험계획법을 말한다.

EWS(Engineering Work Station)

제품의 설계를 위하여 제공되는 **CAD Design Tool**들을 하나의 **system**에서 작업을 할 수 있도록 준비된 **system**.

Excess Electron (과잉전자)

열평형 상태의 분포로 정해지는 전도 전자의 수보다 여분으로 생긴 전도전자를 과잉 전자라 한다.

Excite (여기)

반도체 레이저에서는 레이저 발진을 일으키기 위해 캐리어의 방전분포를 만들 필요가 있다. 이때 캐리어를 높은 에너지 준위로 천이 시켜 방전분포를 만드는 것을 여기 또는 **pumping**이라고 한다.

Exclusive Effect

유한한 크기의 **2**개의 물체는 동시에 같은 장소를 점유할 수 없으므로 어떤 물체는 그 주위에 다른 물체를 들어오지 못하게 하는 영역을 갖고 있다. 이 영역의 체적은 배제체적이라 한다. 물질의 구성요소인 원자, 분자들은 서로 배제속에 들어가지 않게 하는 집단상태만을 형성하는 효과를 말한다.

Exclusive or Circuit

논리회로에 있어서 입력의 하나가 다른 "**1**", 다른 하나가 "**0**"인 경우이 한해서 출력이 "**1**"이 되는 논리회로.

Exoending Tape

Wafer를 집착시킬때 사용되는 테이프로 늘어남이 **360**도 균일한 **tape**임.

Expose(노광)

P/R이 도포된 **wafer**위에 **pattern**을 형성하기 위해 **aligner**를 이용하여 빛을 노출하여 감광막의 구조를 변화시켜 주는 것을 말한다.

External Visual Inspection

반도체 제품의 외관상태를 육안검사하여 불량품을 제거하는 작업.

Exposure

노광, 감광액을 도포한 **WF**표면에 회로가 구성되어 있는 **mask**를 정렬시켜 자외선등을 쬔 작업. 이후 현상작업에 의해 **mask**의 **p pattern**이 형성됨.

Extraction Voltage

Lon Source에서 **Ion Beam**을 추출하기 위하여 가해 주는 전압.

Extrinsic Semiconductor

진성반도체(**Intrinsic Semiconductor**)과 상반되는 말로서 진성 반도체에 불순물(**3**가, **5**가 그밖의 다른원소)을 가첨가하여 전기 적 특성을 변화시킨 반도체

Eylet

부품리드나 전기적 접촉을 기계적으로 지지하기 위하여 터미날이나 인쇄기판에 삽입된 빈 튜브.

F

FAB (Fablication)

Wafer의 가공을 의미함.

FAB Process

고정정 상태에서 **Wafer**가공 또는 제조공정을 말하며 크게 **diffusion, thin film, photo, etch** 공정으로 나눈다.

Factor

인자, 실험결과에 영향을 미치는 원인으로 다른 수준의 인자들이 실험내에 포함된다.

Fail Memory

메모리 **Device**의 **Function Test**시 **Device**에서 측정된 결과를 **Device**에 인가한 패턴과 동일한 스피드로 보관할 수 있는 테스터 메모리

Falg

필드의 경계를 나타내기 위해 문자나 단어에 묻어 있는 정보비트. 어떤 조건이 나타난 프로그램의 뒷부분을 설명하기 위해 쓰이는 지시어. 여러 가지 혼합된 집합에서 같은 종류임을 구별하기 위해 사용되는 기호로서 **tag**와 비슷한 뜻으로 사용된다.

Fail Time(하강시간)

TR의 스위칭 특성을 스위칭 시간을 나타낼 때 베이스의 입력이 **off**로 되어 **collector**에 흐르는 출력전류가 **on**상태일 때의 **90%**에서 **10%**로 되기까지의 시간.

Fan coil unit

coil내로 냉수 또는 온수로 통수시켜 사용목적에 적합한 온도를 유지시켜 주는 설비.

Fan Out Capability

Device가 **data**출력시 **current drive**능력을 말함.

Fan-In

스위치의 논리회로에서 입력측에 접촉할 수 있는 게이트의 수.

Fan-Out

논리회로에서 입력측에 접속가능한 부하의 수.

Farad

정전용량의 단위. **1F**의 콘덴서에 걸리는 전압이 **1 volt/sec**의 변화를 할 때 **1A**의 전류가 흐른다.

Fault Coverage

Simulation 실시 후 전체 **simulation vector**가 전체 회로중 몇 %를 **access**하여 **output**단자로 그 결과를 반영하는 지를 수치로 나타낸 것으로서 얼마나 충실하게 **simulation vector**가 작성되었나를 나타내 주는 지표.

FCU (Fan Coil Unit)

송풍기, 냉 온수 및 필터 등으로 함께 만들어진 실내용 공기 정화기.

FDM (function data module)

품명의 기능을 점검하기 위해 기능 데이터(**function data**)를 실행시키는 **module**.

Fermi Energy

고체내의 전자는 모두 전자가 같은 **energy**를 가지고 있는 것이 아니라 여러가지의 **energy**값을 가진다. 이 전자가 갖는 **energy**상태를 페르미-디랙토리라 하는데 이것은 확률분포를 하고 있다. 이 분포는 물질과 온도에 따라서 정해지는 데 전자의 점유확률이 정확히 **1/2**로 되는 에너지 값을 페르미 에너지라고 하며 기호는 **F**로 나타낸다.

FET (電界效果 Transistor:Field Effect Transistor)

전기전도에 기여하는 **carrier**의 역할을 전자 또는 정공(正孔)의 하나가 담당하는 **Transistor**. 전자도 정공도 **carrier**의 역할을 하는 **Bipolar**에 대하여 **Unipola(單極) Transistor**라고 불리운다.

FFU (공조방식)

Fan Filter Unit 공조방식. **fan**과**filter**의 일체형으로 **filter**상부에 설치된 **fan**이 공기를 **clean**에 공급

Field oxide

active와 **active**를 절연시켜 주는 산화막.

FIL (Filament)

이온생성을 위해 전자를 방출시키는 소재.

Fill Factor

어떤 주어진 시간에 조사되는 디스플레이 전체면적의 백분율

Filter (여과기)

먼지 및 불순물등 필요한 것 이외의 것을 걸러내는 장치

Final test (조립/Class Test)

조립된 제품에 대하여 제품 출하전에 마지막으로 전기적 특성을 검사하는 것.

Finder Coat

Wafer취급시 인체에 의한 오염을 방지하기 위하여 손에 착용하는 것.

Fire Damper (F.D)

화재발생시 **Duct**를 통하여 화재의 확산 방지용으로 설치된 **damper**로써 기류온도가 **70**도 이상이면 날개 지지용 **fuse**가 녹이 자동 적으로 기류를 폐쇄하는 **damper**.

Film Ware

장비제조회사가 그 장비에만 응용되게 특별히 고안한 **software**이며 보통 **ROM**속에 들어 있는 경우가 많음.

First Acticle (사전검사)

양산작업 전에 사전에 작업조건을 점검하기 위해 부품을 결합하여 성능을 시험함.

First Minimum

Gooch & Terry곡선에서 첫번째 투과율이 **0**이 되는 곳을 말한다.

Fixture

개별소자의 수동검사를 위한 기구.

Fixed Oxide Charge (Qf)

Oxidation 분위기, 온도, **Cooling**온도 및 **silicon** 결정방향에 관계하는 **Oxide**내 **charge**.

Flat Pack

IC의 겉모양에 따른 포장형태로 납작한 형태.

Flat-Zone Aligner

carrier에 **loading**되어 있는 **wafer**평면(**flat-zone**)을 위로 맞추는 기계.

Flash EEPROM

한 개의 트랜지스터로 이루어져 셀 면적이 작은 **EPROM**과 전기적 소거가 가능한 **EEPROM**의 장점을 조합하여 **EPROM**의 프로그램 방법과 **EEPROM**의 소거 방법을 수행토록 만든 소자로서, **EPROM**, **EPROM**과 유사한 설계와 공정을 거쳐 생산됨. 외부에서 고전압을 가해 데이터를 기입하며 전기적인 소거도 **Memory Device** 전체 또는 **block**별로 가능하다. 이 **flash memory**는 **NOR**형, **NAND**형으로 대별되며 **NOR**형 **EEPROM**은 **Hot Electron**을 주입하는 기입방식을 적용하고, **NAND**형은 터널현상과 페이지 동작회로기술을 조합하며 프로그램 속도가 빠르다. 기억된 정보는 전원이 꺼지더라도 없어지지 않아 비휘발성 메모리라 불리운다. 최근 **Memory** 시장에서 **hard disk**를 대체할 소자로서 기대되고 있다.

Flat Zone (평평한 부위)

Wafer의 방향 및 종류를 표시하기 위해 일정방향으로 **cut**해 놓았는데 그 면을 지칭.

FLC

층상으로 분자 배열하는 스멕틱 액정을 이용해서 강유전성 기능을 가진 것. 쌍안정상태의 메모리 기능과 스위칭 속도가 매우 빠르다. 크로스 토크가 없고 시야각이 넓으며 단순 매트릭스 구동이 가능하다.

Flexible Strength

휨, 강성

Flip-Flop

2진수를 기억할 수 있는 기초 전자회로로서 두가지의 안정상태(**on** 또는 **off**)을 갖고 있으며 논리회로나 기억장치구성의 기본회로임.

Flicker

텔레비전의 수상화면이나 형광등의 깜박임과 같은 광도의 주기적인 변화가 시각으로 느껴지는 것을 말함.

Floating Gata

MOS TR의 게이트 절연층 속에 매입된 금속 또는 다결정 실리콘으로 된 전극을 말하며 전기적으로 떠 있으므로 **Floating Gate**라고 한다.

Floor plan

반도체 설계시 **chip**을 **layout**하기 전에 각 **block**의 **layout**을 전체적으로 배치하여 **layout**상에 **block**의 위치와 배선을 결정하는 작업.

Flux

금속을 솔더와 잘 접속시키기 위하여 물리적이거나 화학적으로 활성화시키는 물질.

Forbidden Band (금지대)

전자가 취할 수 있는 에너지의 폭이 띄엄띄엄있고 그 사이에는 전자가 취할 수 없는 에너지 폭이 있다. 이 전자가 취할 수 없는 에너지 값의 범위를 금지대라고 한다.

Forming Die

Forming I.C. ead frame의 **lead frame**을 위치시켜 곡선을 따라 꺾는 작업을 말하며 이와 같은 금형을 포뮬 다이라고 한다.

Forming Gas

1) **Die Attach** 및 **wire bonding**시 재료의 산화를 방지하고 환원을 목적으로 **H2**와 **N2**를 일

정비율로 혼합한 **Gas**.

2) FAB제조공정(확산, 식각)에서 본래의 공정
이 정상적으로 잘 진행하기 위하여 사용하는 분위기 **Gas**.

Forward (순방향)

PN접합의 **P**쪽에 **+**, **N**쪽에 **-**의 전압을 가하는 방향을 순방향이라 한다.

Forward Current (순방향 전류)

PN접합에 순방향전압을 가했을 때 흐르는 전류를 말한다.

Forward Voltage (순방향 전압)

PN접합에 순방향으로 전류가 흐르고 있을 때 그 **PN**접합의 양단에 걸려있는 전압을 말한다.

Four Layer Diode (4층 Diode)

PNPN의 4층 구조를 갖는 **Diode**.

Four-Point Probe

막질의 **sheet**저항을 측정하는 장비.

FOX (Fast Oxidation)

고압(**0~25기압**)에서 증기 산화방식을 이용하여 산화막 성장속도를 빠르게 하는 장치로서 **Hipox**라고도 함. (**High Pressure oxidation**)

FPGA (Filed Programmable Gate Array)

미리 **program**할 수 있도록 제작된 **chip**에 사용자가 **CAD**를 이용하여 로직을 구현할 수 있도록 한 제품.

FPO (Finish Process Order)

동일 품종의 **lot**를 동일수준의 품질을 가지고 있다고 판단하여 여러 **lot**를 **1**개의 **lot**로 묶어 공정**flow**시키는 경우, 하나로 묶은 **lot**를 **FPO lot**라 한다. 작업능률 향상을 위해 사용.

FQ (Full Qualification)

Customer의 요구조건을 충분히 만족시킨 후 양산.

FR (Failure Rate)

"제품의 불량율"로서 제품을 계속해서 사용했을 때 불량이 발생할 가능성을 나타냄.

FRAM (Ferroelectric RAM)

강유전체 불휘발성 메모리. 강유전체는 전계를 가하더라도 전하가 남아 있기 때문에 이런 원리를 이용, **memory cell**에 강유전 체를 사용한 불휘발성 **RAM**으로써 **SRAM**이나 **DRAM**과의 차이점은 전원을 끊더라도 **data**내용을 가지고 있다. 또한 **EEPROM**과 비교하여 **data**기재시간은 훨씬 짧고 기재 가능 횟수도 많은 점등의 잇점을 갖고 있다.

Frame

Reticle/mask를 **Alignment**할 수 있게 공정용**Pattern**및**Process**상 필요한**item**들을 **Sawing**할 수 있는 **Scribe line**에 삽입하여 **Align ment**할 수 있게 만든 형틀이다. 설계된 제품의 노광을 위해 한번에 노광한 제품을 배열한 형틀로서 제품과 제품사이의 **Scibe li ne**내에서 노광장비에서 사용할때 **Align key**및 **Process inspection**용 **Pattern**을 포함하고 있다.

Frame Ring

Wafer를 완전 전달하기 위해 **tape**에 접착시킬 때 지지하여 주는 틀.

Free Election (자유전자)

전자중에 결합력이 약하여 결정 격자의 구성에 관여하지 않고 결정 속에서 전계에 끌려 자유로이 움직일 수 있는 전자

Freon

고열이 발생하는 부분의 열을 냉각시켜 주기 위하여 사용되는 냉각제.

Freedericks (전이)

자화율 이방성이 양인 네미틱상에서 자계를 인가하면 액정분자를 자계방향으로 배향하려고 한다. 그러나 표면에서의 액정의 배향을 일정하게 규제하는 것 같은 처리를 행한 기판의 평행한 유리기판에 액정을 넣고 가판의 배향 속박력에 의해서 액정분자를 일정한 방향에서 배향된 샌드위치 셀을 만들고 수직 자계를 가한 경우 **Hc**에서 자계 방향으로 배향이 일어나는 것을 말함.

From/To chat

Inter-bay및 **intra-bay**의 작업진행을 **simulation**하기 위하여 공정 진행 예정표를 작성하는 **chart**.

FSTN(Film Super Twist Nematic)

DSTN과 유사하게 칼라 보상 액정셀 대신 폴리머된 매우 얇은 막을 사용한다. **FSTN**은 **DSTN**에 비해서 콘트라스트는 떨어지지만 큰 시야각이라든지 저 소비력이라는 큰 장점을 갖고 있다.

FTA (Fixed To Attempt Ratio)

한 **Wafer**의 **repairable** 소자들에 대해 **fuse cutting** 한 후 양품화 되는 소자의 수를 백분율로 환산한 값을 말한다.

Full-Auto

장비가 **host**의 통제를 받으면서 **AGV**가 **CST LOAD/UNLOAD**를 수행하는 상태 및 그 표시.

Full Custom 제품

자동화된 **Tool**을 사용하지 않고 원하는 **Chip**의 특성을 맞아 설계하는 **IC**설계방법. 회로설계시 **MOS transistor level**부터 시작 해서 회로구성. **Simulation, optimization**을 실시한 후 **Chip**전체의 **Area**를 최적화하기 위해 수작업으로 **layout**하여 완성된 반도체 제품.

Full Cutting

완전절단, 테이프 절단(**tape cutting**)과 같은 말로 **Wafer**를 완전 절단(**95~100%**)함을 받함.

Function Test.

Device의 동작이 진리표에 명시한 대로 동작하는 지를 검사하는 것으로 테스터에서 패턴이나 벡터를 **Formater**나 **Device**를 통해 인가한다.

F.W.W(Flouric Waste Water)

불산폐수로서 약품중 불산을 사용하는 장비에서 배출되는 폐수를 말함.

G

GaAs(Gallium Arsenide)

화합물 반도체로서 초고속 장치에 사용되며, 고주파에서의 이득과 대역폭 특성이 양호하여 차세대 **silicon**대신 많이 이용되는 물질. **III-V**족 화합물 반도체의 대표적인 재료 **Si**에 비해서 결정내의 전자 이동이 **5~6배** 빨라 초고속, 초고주파 **device**에 적합하다. **UHF**나 **SHF**의 **GaAs FET**, **micro**과 **anlog IC**, 적외선 발광 **Diode**, 반도체 **laser**, 태양전지등에 이용되고 있다.

Gas Scrubber

공기나 **gas**중의 불순물 또는 분진을 물의 분사나 수막에 의하여 씻어 내리는 장치.

Gate

논리회로에서 몇 개의 **transistor**를 조립하여 만든 계수형 회로를 말하며, **2진** 정보가 입력의 조합에 의해 형성되는 논리 회로 반도체 장치에서 **MOS transistor**에 입력을 가하기 위한 단자로서 **bipolar transistor**의 **base**에 해당하는 단자.

Gate Array

논리 소자인 **NOT-Gate, AND-Gate, OR-Gate, NOR-Gate, NAND-Gate**등의 구성이 되어 있거나 구성할 수 있도록 **Transistor**가 필요 한 양만큼 만들어져 있는 **logic**소자로서 주문형 소자로 많이 사용됨. 개발기간과 비용을 절감하여 다품종 소량의 수요에도 대응 할 수 있는 **semi-custom**의 **digital IC**. 기본 **cell**을 가지고 배선 전단계까지 처리된 **master wafer**에 **user**의 논리 회로도 **Timing Chart**를 접수 받은 **Data**를 **CAD**기술에 의해 배선을 연결시켜 단기간 내에 공급할 수 있다. 종래는 배선영역과 **Gate**영역이 분리 고정된 **Type**이었으나 최근에는 **Chip**전면에 **Gate**를 배치시키기 때문에 자유로이 배선영역과 **Gate**영역을 설정할 수 있는 **SOG(Sea of Gate)**형 **G/A**가 주류로 될 것이다.

Gate oxide

TR이 형성되기 위한 제 **2**의 요소, **insulator**역할을 하며, **MOS TR**의 **Gate**밑의 유전체로 사용

Gel

고분자 용액과 콜로이드 용액이 고화되어 제리상의 탄성을 갖는 고체로 된 것을 말한다.

Gettering

소수 캐리어의 수명개선, 접합에서의 누설전류를 줄이는 것, **Si-SiO₂**계 면에서 여러 가지 전하의 영역을 줄이는 것 들을 말하며 아직 제대로 이해되지 않는 영역이다.

GIDL (Gate Induced Drain Leakage)

얇은 **Gate oxide**를 사용한 소자에서 **breakdown voltage** 이전에서 **drain**과 **substrate**간에 **leakage current**가 발생하는 것이 관찰 되는데 이는 **gate**와 **drain**사이의 **field**에 의해 **drain**부위가 **deep depletion**되면서 **band**의 급격한 휨이 일어나게 되고, 전자의 **band**간 **tunneling**에 의해 **drain junction**을 빠져나간 후 **impact ionization**에 의한 **EHP**를 생성시켜 전자는 **drain**에 **hole**은 **substra te**로 빠져나가 **leakage current**를 형성하게 된다.

Glass Substrate

아몰퍼스 실리콘용 트랜지스터 기판에는 무알칼리 유리가 이용된다. 알칼리 이온에 의한 트랜지스터의 오염을 방지하기 위해서 이다.

Gm (Transconduction)

Gate와 **Source**사이 전압변화에 대한 **Drain** 전류의 변화를 나타내는 양. = **Bipolar TR**의 증폭도 (β)

GN2 (General N2)

용역동에서 생산되어 라인 장비에 직접 공급되는 **N2**. 주로 **Purge**용으로 사용됨.

GO/NO GO TEST

제품검사시 각 항목이 규격에 합격(**pass**)인지 불 합격(**fail**)인지 판정하여 다음 항목을 검사하고(**GO**), 불합격이면 다음 검사를 하지않고(**NO-GO**) 끝나는 검사방식으로 주로 양산검사시 많이 사용한다.

Wafer에서 **Die**나 **Package**를 이용하여 **Device**의 양/불량을 판단하는 **Test**를 말한다. 일반적으로 이때 사용하는 **Test Program**은 생산용 **Program**이다.

GOI (Gate Oxide Integrity)

Gate Oxide의 품질정도. 전압을 증가하면서 누설전류가 파괴전류가 될 때의 전압(**BV**, 파괴전압)으로 나타낸다. **GOI**측정 **System**은 로는 **In-Line Diffusion** 공정中 **Oxidation**공정에 대한 **Tube, Recipe, W/S**등의 상태를 측정하는 **Electrical Stress Test** 이다.

Grade Junction

PN접합은 하나의 반도체 단결정속의 **P**형으로부터 **N**형으로 바뀌는 부분이다. 이 **P**형에서 **N**형으로 바뀌는 모양의 불순물 농도가 **P**형에서 **N**형으로 완만한 경사를 가지고 변화하는 것을 경사상 접합이라고 하며 확산형 접합이 이것에 해당한다.

Grating

Clean 공조 방식중 **Down Flow Lamimar Unit**의 공조 흐름 유도용으로 **floor**에 구멍을 뚫어 공기가 빠져 나가도록 한 것. 이는 **Access Floor**형식의 바닥구조에서 쓰일 수 있음. 일반 바닥 깔러리와는 달므로 구별되어야 함. 또한 이것은 **Aluminum**으로 되어 있어 정전기를 방지함. 실내의 차압을 유지시키고 공기 유동을 원활하게 한다.

Grain (미세입자)

결정을 구성하는 가장 기본적인 조직을 의미한다.

Ground Gate (게이트 접지)

전계효과**TR(FET)**에는 트랜지스터나 진공관과 같이 3가지 접지방식이 있으며 **Gate**를 입출력의 공통전극으로 하는 회로를 공통 게이트(**Common Gate**)라고 한다. 공통전극은 보통 교류적으로 접지하기 때문에 이것을 게이트 접지라고 한다.

Guard Ring

PNP실리콘**TR**을 플레이너 구조로 만들 때 **P**형 콜렉터 표면의 일부가 **N**형으로 변화하는 채널의 현상이 있어서 보호작용이 불완전 해지는 결점이 있어 모토롤라사가 이 문제를 해결하기 위해 정규의 콜렉터, 베이스 접합의 바깥쪽을 환상의 **P**형 영역으로 둘러싸 여 콜렉터에 채널이 생성되는 것을 차단하는 방법을 고안해 냈다. 이 **P**형 영역은 매우 높은 농도를 확산함으로써 이 부분에 채널이 생기지 않도록 하기 때문에 트랜지스터로서 동작하는 부분은 완전히 산화피막의 아래에 들어가 버려 노출하지 않게 된다. 이 방법을 가이드링 또는 **BAND GUARD**라고 부른다.

Guard Rings

CMOS 경우 기생적으로 형성하는 **Latch-up**현상발생을 억제시켜 주기위해 넣어주는 **Pattern**으로 둘레를 따라 **Ring**처럼 만들어 준다 .

Guest-Host Effect

액정재료에 다색 색소를 혼입한 것은 액정분자가 전계 인가에 의해 그 배열 방향이 바뀌는 것을 이용해서 색소분자의 배향을 바꿀 수 있다. 이것에 의해 전계 인가로 액정 셀의 색을 변화시킬 수 있다. 액정 재료를 호스트, 색소를 게스트라 한다.

H.A.L(Host Solder Air Leveling)

P.C.B표면 도금방법의 종류.

Handler

Package화된 다량의 소자들을 동시에 **Ttest**하기 위해 소자와 **Test system(Tester)**과 연결시켜 주는 장비.

Half Cutting

Wafer를 **70 ~ 80 %** 절단하는 것을 말한다.

Halide

할로젠 원소와 이보다 전기 음성도가 작은 원소와의 **2원 화합물**. 플로오드.

Hard Fail

시험공정에서 규정된 여러 조건에 관계없이 불량인 경우 보통 **defect**에 의한 경우가 대부분이며 이와 같은 불량현상을 말 한다.

HCT (High Speed C-MOS TTL)

고속의 **C-MOS TTL**이며 기존의 **LSTTL**제품이 지니는 단점 (고 소비전력)을 보완한 것으로서 **Computer** 및 **computer**기술을 필요로 하는 각 전자부품내의 **CPU, Memory**, 주변기기 주요 **IC**들과 함께 내장되어 각 기능을 상호 연결시켜 주는 역할을 수행하는 제품.

Heat Sink Plane (방출판)

기관표면이나 내층에서 열에 민감한 부품들로부터 열을 제거하여 주는 역할을 하는 평판.

HEMT (High Electron Mobility Transistor)

고전자 이동도 **Transistor**라 부르며, **GaAs**을 응용한 초고속, 저소비전력의 **FET**반절연성 **GaAs**기관 상에 **undoped GaAs**층, 그 위에 **N** 형 **AlGaAs**층을 성장시킨 구조로서, **AlGaAs**층에서 영역으로 이동하여 전류 **Channel**을 형성시켜 고전자이동도를 실현하고 있다.

Hepa Box

Clean공조의 말단에 **Room**내에 **Hepa Filter**를 장치한 **Box**.

HEPA Filter (High Efficiency Particulate Air Filter)

Clean Room에 설치된 고수율정밀 **Filter**로서 기류가 수직방향으로 흐른다. (**0.1μm - 99.9995 %**)

Hetero Junction

하나의 반도체 결합속에서 **P**형으로부터 **N**형으로 바뀌어 가는 부분이 있을 때 그 접합 부분을 **PN Junction**이라고 한다. 대부분의 경우 **P**형부분이나 **N**형부분 모두 같은 종류의 반도체로 되어있다. 그러나 하나의 단결정이면서 **2**개의 종류가 다른 반도체를 포함 하는 경우가 있는 데 이것을 **HETERO Junction**이라고 한다.

High Power Inspection

Wafer가공상 생긴 **Die** 표면과 각 회로상의 불량을 고배율 현미경을 사용하여 검사하는 작업

Hfe(DC Current Gain)

Emitter접지 상태에서 직류 전류 이득.

Hierarchy

LSI Design시 주요 뼈대부분부터 세밀한 부분까지 차례로 **Design**해 나가는 방법.

High Pressure Cleaner

절단된 **Wafer**세정장비로서 **CO2**가 함유된 고압의 **D-I Water**로 세정하는 것.

Hillock

산화막 위에 금속 박막박을 증착시켜 열처리 할 때 열 팽창 계수차에 의해 생겨나며 상어등 지느러미 모양의 솟아오른 형태를 가짐.

HMDS(Hexa Methyl Di Silazane 처리)

감광액과 **Wafer**표면의 접착력을 높이기 위해 감광액 도포전 **Wafer**에 주는 **Primer**(접착강화제)중의 대표적인 한 종류.

H-MOS(High-performance MOS)

단자 소자의 크기를 줄임으로서 **MOS IC**의 속도를 증가시키는 고성능 **N-NOS**제조기술 또는 이것으로 이룩된 고성능 **MOS**.

Hold Time

기준신호에 대하여 **data**가 최소한 유지되어야 하는 시간으로 기준신호에 따라 **tCAH(Column Address Hold Time)** **tRAH(Row Address Hold Time)**, **tDH (Data Hold Time)**등이 있다.

Hole

정공. 반도체속에서 가전자대에 있는 전자의 이동으로 생기는 비어있는 전자의 준위를 말함.

HOPL(High Temperature Operating Life Test)

"고온 동작 수명시험"으로서 **125°C Oven**속에서 **7.5(V) Bias**, **1000**시간을 가하여 시험하는 "수명 시간"을 말 한다.

Hot DI water

뜨거운 **DI water(85°C)**, **Wafer**세정시 사용.

Hot Run

RUN(lot)들 중에서 특별한 목적을 의해 다른 **RUN**에 우선하여 진행시켜야 하는 것을 말함. 작업의 신속화를 위해 **Normal RUN**보다 빨리 공정을 진행함이 요구되는 **RUN**.

Hot Test

제품을 고온상태에서 **Test**하는 것.

Hot Electron

결정에 전계를 가하면 결정 속의 전자가 전계해서 에너지를 얻는다. 보통의 상태(전계가 그다지 강하지 않는 상태)에서는 전자가 얻는 에너지를 결정을 구성하고 있는 원자에 줌으로 전자와 결정의 원자는 같은 정도의 에너지를 갖게 된다. 그러나 전계가 강해지면 전자는 얻은 에너지를 원자에 나누어 줄 수 없게 되어 결정보다 전자에 에너지쪽이 높은 상태로 된다. 이러한 상태에 있는 전자를 **Hot Electron**이라 한다.

HP4145

Wafer level반도체의 **DC**특성을 여러 가지 조건을 변화 시켜 주면서 그 결과를 **Graphic** 또는 도표로 표시하여 주는 **Bench Test Tool**.

H/S (Heat Sink)

방열판. 즉 **PKG**에 붙어 있어 열을 방출시키는 작용을 하는 판.

HTO (High Temperature Oxidation)

고온산화. 실리콘 표면에 산화막을 형성하는데 있어서 가장 많이 쓰이는 방법중의 하나이다. 고온 속도 (**900°C**)에서 **Si Wafer**를 넣고 이것에 산소, 수증기와 같은 산화성 가스를 보내서 **Si Wafer**표면에 산화하여 **SiO2**를 만드는 방법.

HTRB (High Temperature Reverse Bias)

"고온 역**Bias**시험"으로서 **Device**에 **Bias**를 인가하여 고온의 **Oven**속에서 진행되는 시험을 말한다.

HTS (High Temperature Storage)

"고온 보관시험"으로서 고온 (**125°C**)의 **Oven**속에서 **Device**를 저장하는 환경시험을 말한다.

HVAC (Heating Ventilation and Air Conditioning)

실내공기의 온,습도 조절 및 통풍(순환)을 포함한 공기처리 시스템.

Hybrid-Circuit

한 기판위에 여러 종류의 능동조자, 수동조자 또는 집적회로등을 부착시킨 전자회로를 말하며, 혼성집적 이라고도 한다.

Hybrid I.C

반도체 기술과 박막(**THIN FILM**) 또는 후막(**THICK FILM**)기술의 양쪽을 혼성하여 만들어지는 **I.C**를 말하며 반도체 기술에 의해 다 이오드나 트랜지스터등을 만든 기판 위에 다시 절연층을 만든 후 박막기술 및 후막기술에 의해 배선이나 저항,콘덴서 부분등을 만들어 내는 혼성형**I.C**를 말함. 반도체 **IC**로써는 곤란한 고정밀도,고주파수, 고내압, 대전력을 요구하는 분야에 이용된다.



I-line stepper

사진공정시 사용되는 가시광선의 광원중 자외선 영역의 **365 nm**의 파장을 갖는 사진장비

IC (Integrated Circuit)

집적회로라 부르며 2가지 이상의 회로소자를 기판내에 집적하여 상호배선을 연결시킨 회로로써 설계부터 제조, 시험, 운용에 이르기까지 하나의 단위로써 취급되는 것으로 정의한다.

IC Memory

종래의 자성체 대신에 바이포라 **TR**이나 **MOS** 로 **F-F**를 구성하여 기본 **Memory(cell)**를 만든 **IC**회로.

IC Tester (집적회로 검사장치)

출하직전 **IC**의 전압이나 저항등의 전기적 특성을 검사하고 불량품을 제거하는 장치. 불량품과 양품을 자동적으로 구별하는 **ATE (Automatic Test Equipment)**가 주류를 이루고 있음.

Ids

MOS TR에서 동작시 **Source**와 **Drain**간에 흐르는 전류.

Ie (Emitter Current)

에미터 전류

IEC (Integrated Equipment Computer)

앞으로의 집적회로가 지향하는 추이로서 모든 장비의 기능이 하나의 반도체 집적회로로 구성되는 것.

(Integrated Injection Logic)

저항대신 **Bipolar Transistor**형태의 구조인 **PNP형 Tr-ansistor**부하와 역동작을 하는 **NPN형 Transistor**를 이용한 논리회로로 전 력소모가 적고 속도가 빠르다. **Bipolar Logic IC**의 일종. 횡형 **PNP Transistor** 를 이용한 역접속의 **NPN Transistor**가 **N**영역과 **P** 영역을 공유한 구조. **Gate**점 유면적이 적고 소자를 분리시킬 필요가 없기 때문에 비교적 고집적화가 가능하다. **Analog. Digital** 혼 재회로 내장 **Bipolar IC**의 **Digital**부에 사용하는 경우가 많다.

(Isoplanar Integrated Injection Logic)

의 개량된 기술로 이루어진 논리회로로 각 소자사이를 산화막으로 격리시켜 집적도를 상승시킨 것.

ILT (Infant Life Test)

초기 수명시험(신뢰성) **48시간. Burn-In**과 같음.

Image Sticking(잔상)

동일 화면을 장시간 켜 두었을 때 화면이 바뀌어도 상이 남아 있어 오랫동안 없어지지 않고 남아 있는 것 을 말하며 **ghost**효과라 한다.

Impact Ionization

고체격자 내에서 **Electric Field**에 의해서 가속된 **Electron**과 **Atom**이 충돌하여 **Electronhole Pair**를 생성시키는 현상을 말한다.

Implanter(이온 주입기)

불순물을 강제로 **wafer**에 주입시키는 장치로서 고전류, 중전류, 저전류 이온 주입기등 **3**종류가 있다.

Implanting (이온주입)

wafer내부로 **B**(붕소)나 **P**(인)등을 **Implanter**를 이용해 주입시키는 것을 말함.

Impurity

반도체의 전기흐름에 기여하는 각종 원소를 말하며, **P**형과 **N**형 불순물로 나눔.

P형: B, Al, Ga, In등

N형: P, As, Sb등

Index Feeding

작업대위에서 작업을 하거나 작업이 종료된 **Lead Frame**이나 이송되는 자재를 이동시키는 것.

Index Register

메모리내의 **Address**를 지정하기 위한 **Register**.

Induced Cholesteric Phase

네마틱상에 액정상을 갖는 광학 활성인 카이랄 분자를 가하면 콜레스테릭상이 나타난다. 이를 유도 콜레스테릭상이라 한다.

Induced Smectic Phase

혼합액정에 있어서 제각기 성분 단독으로 스멕틱상을 만들지 않는 경우에도 혼합계에서는 어떤 성분비의 범위로는 스멕틱상을 만드는데, 이를 유도 스멕틱상이라고 한다.

Indium arsenide

InAs, III-V족 반도체중 하나.

Initial Oxide

Si과 **Nitride**가 상이한 열팽창계수를 갖고있어 이로인한 **Tensile Stress**(1×10^9 Dyne/cm²)로 인해 이후 열처리 공정에서 결정결함의 발생확률이 높으며, 이의 방지를 위해 사용하는 **Buffered Oxide**의 구실을 한다. 또, 이 **Oxide**의 두께는 향후 **Bird's Beak**에 영향을 끼치기도 한다.

Injection(주입)

PN접합면에 있어서 각 영역의 다수캐리어가 반대쪽 영역으로 소수 캐리어로 되어 흘러 들어가는 현상.

Ink

불량을 표시할 때 사용되는 액체.

Inker

Wafer검사시 불량품에 **Ink**를 찍는 장치.

Inking

Package공정에서 양품의 제품에 대해서만 **Package**하도록 **Wafer**상태에서 불량인 제품에 대해 **Inking**을 하여 불량품을 나누는 공정.

Inorganic Filter

특별한 파장의 빛에 광학적 간섭이 강하게 나타나도록 무기물을 사용하여 얇은 막을 만들어서 광을 통과시켜 착색하는 방법.

Input Buffer

외부 **Signal**에 대하여 반도체 소자내부의 **voltage level**에 맞도록 조정하여 받아들이는 회로.

Input Level

Device에 가해주는 외부 파형들의 전위로 **De-vice**가 특정 상태(**High, Low**)를 인식하게 된다.

Insulator

도체와 도체를 연결시켜 주는 부도체 물질을 말한다.

Inter-bay

Bay와 **Bay**간 물류이동을 말하며 **Clean Way (AGV, Track)**가 많이 사용되고 있다.

Interface

Amp및 **Computer**등에 사용되는 것으로서 주변기기를 서로 연결할 때 동일한 조건으로 상호교류가 가능하도록 해주는 일종의 신호 변환 장치.

Inter Metallic Compound(금속간 화합물)

두 종류이상의 금속이 결합하는 일종의 화합물로서 그 결합비율이 일정한 비로 되는 점이 합금과 다르다.

Intra-bay

Bay안에서 장비간 물류이동을 뜻하고 **AGV**나 **Track**이 사용된다.

Intrinsic

P형 혹은 **N**형의 전지적인 성질을 나타내지 않는 것을 나타내며, 이러한 영역에는 **P**형 혹은 **N**형의 불순물이 없거나 동일한 양의 불순물이 있어 서로 상쇄되어 전기적인 성질의 나타나지 않는 영역을 나타낸다.

Inversion

MOS FET에서 **Gate**전압에 의해서 생긴 **P→N Type** 변환이나 **N→P Type** 변환을 말함.

Inversion Wall(반전벽)

열평형 상태에서도 질서상이 체계 전체에 걸쳐 존재하지 않고 어느 정도 축적된 상태가 공존하여 존재하는 경우가 많다. 이러한 상태간의 경계를 벽이라 하는 데, 여기의 좁은 뜻으로는 위상만큼 차이 나는 상태간의 벽을 의미한다.

Inverted Staggered(역전층)

비정질 실리콘 박막 트랜지스터에 주로 이용되는 구조로 게이트전극이 제일 밑에 있고 **source**와 드레인 전극이 활성층 위에 존재하는 구조를 말한다.

Inverter

Digital Circuit에서 **1→0** 으로 또는 **0→1**로 변환시키는 회로.

Ion Beam Lithography

기존의 **Optic**, **X-ray**, **electron beam**을 이용하는 방법보다 더 발전된 현대의 **Lithography**방식으로서 보다 정밀한 해상도를 얻을 수 있음.

Ion Implantation

반도체 소자가 원하는 전기적 특성을 가지도록 반도체 기판위에 필요한 부분에만 고전압으로 가속된 이온을 물리적으로 주입시키는 것.

Ion Injection

Silicon등에 확산법에 의해 불순물을 넣어 주는 것이 아니라 **ion**을 쏘아서 원하는 개수만큼의 불순물을 주입하는 것.

Ion Shell (이온각)

최외각 전자를 제외한 나머지 전자와 원자핵의 결합.

IPA (Iso Propy Alcohol)

세정하거나 휘발성을 이용하여 건조시킬때 사용되는 화학물질임.

IPO (Inter Poly Oxide)

도체인 **Poly Si**과 **Poly Si**사이의 절연을 위한 **Oxide**.

ISO-Planar

Planar보다 평탄하게 형성시킬 수 있는 기술.

Isolation

반도체 집적회로는 한 **Chip**속에 **TR**, **Diode**저항등의 회로소자를 조립해 넣으므로 소자를 먼저 각각 분리하여 고립된 상태를 만들어 놓는 데 이를 **Isolation**이라 한다.

Isolation Diffusion

일반적으로 **N**형의 **Epi**층을 통하여 **P**형 **Sub-strate**까지 통하도록 진행함. 같은 유형의 **Epi**층위에서 다른 전기적 성질을 갖는 영역들을 고립시키도록 하는 목적으로 사용됨.

Isotropic Etching

등방성 식각. 식각 반응이 수직 및 수평(측면)양 방향으로 진행되는 식각 형태.

Isotrophic Phase (등방상)

물질이 거시적인 물리적 성질이 방향에 따르지 않을 경우 그물질은 물리적 성질에 대해 등방적이라고 하

며 외부의 장이 존재하 지 않고 열 평행 상태에 있는 모든 물리적 성질에 대해 등방적일 때 등방성이라 한다. 이는 가늘고 긴분자 구조에서 분자의 축 방향과 직각 방향에서 물리적 성질을 달리하기 때문이다..

Isolation in IC

반도체 집적회로에서 소자끼리 전기적으로 영향을 받지 않도록 하는 것.

Isotropic

물질의 성질이 방향에 따라 다르지 않는 것

ITO(Indium Tin Oxide)

전기전 도성을 가진 투명도전막. 인듐과 산화주석의 화합물(In_2O_3 , SnO_2)로 된 막으로 주로 스퍼터링 방법으로 만듦.

J

J-FET(Junction FET)

Depletion Mode만을 사용하며 **Source-Drain**영역상이에 **Ion**주입또는 확산 공정에 의한 **Gate**전극을 만들고 **Gate**에 걸어주는 전압 에 의한 **Drain** 전류를 제어하는 **FET(Field Effect Transistor)**를 일컫는다.

Jig

제품별로 검사 또는 작업을 하기 위해 조사 및 작업조건환경에 맞게 만들어 주는 장치이며 제품과 검사 장비간에 연결기능을 가진다.

Junction

하나의 단결정속에 물리적 특성이 다른 부분의 접합면을 말한다.

Junction Depth (X_j)

Silicon 표면에서부터 **Diffused layer**의 농도가 **background**농도와 같은 지점까지의 거리를 말한다.

Junction Diode

PN접합을 이용한 **Diode**

Junction Transistor (접합형 TR)

3층 구조(**PNP** 또는 **NPN**) 으로 된 **TR**.

Junction Spiking

Metal-Silicon contact에서 **Metal**이 **Silicon**을 파고 들어가는 현상

Jungle-Box

확산로내에 필요한 **Gas**를 필요한 양만큼 주입시키기 위하여 **Gas Flow Meter(MFC)**가 부착되어 있어 **GAS**량을 조절할 수 있도록 한 것.

K

Kerf

절단자국(흔적). **Blade**로 절단하였을 때 절단된 자국의 폭을 의미한다.

Keying Slot

인쇄기판이 해당장비에만 삽입되고 기타의 장비에는 삽입될 수 없도록 고안된 슬롯.

L

Labelling(명명)

Wafer에 **RUN**번호를 기록하거나 확산 **Tube**에 번호를 **Diamond pen**으로 기록하는 것을 말한다.

Laminar Flow Station

먼지를 제거한 순수한 공기만이 흐르게 되어 있는 작업대를 말하며 **Filter**를 통해 공기가 정화유입됨.

Laser Diode

반도체 레이저에서 레이저 발진을 일으키는 하나의 방법으로서 **PN**접합에 큰 전류를 흘려서 소수캐리어를 다량으로 주입하는 방법이 있다. 이것을 반도체 접합형 레이저 또는 주입형 레이저라고 하며 이것에 쓰이는 **PN**접합을 레이저 다이오드 라고 한다.

Laser Interference Method

Etch 공정시 **Wafer**표면에 주사시키는 **Laser**의 반사파를 추적하여 반사파의 파장이 노출되는 박막의 종류에 따라 변화되는 신호를 기준으로 활용하는 방법.

Laser Repair

반도체 제품에서 **Data**저장소의 일부(혹은 회로일부)가 제조공정에 의해 그 기능을 제대로 발휘하지 못할 경우 **laser**를 사용해서 일정부분의 회로를 끊어 다른 **data**저장장소(혹은 다른 회로)로 대체하여 제품기능에 이상부위를 정상으로 동작 할 수 있도록 회로를 교체해 주는 것.

Laser Scriber

반도체 **Wafer**로부터 **Die**를 잘라 내는데 레이저 광선을 금을 긋는 장치를 말한다.

Laser Test

Yield 향상을 위하여 **Fuse**를 **Laser**로 끊어 내는 작업

Lasera

유도 방출에 의한 빛의 증폭.

Latch

신호의 일시 기억용으로 사용되는 회로

Latch Up

CMOS구조에서 외부의 전압, 변동이나 전기적 잡음 또는 **ionizing redation**등으로 **Turn on**되어 소자의 동작을 방해 또는 파괴시키는 동작을 말한다.

Layer

반도체 IC를 만들기 위해서는 **Si-Wafer**위에 순차적으로 층(**Insulator, Conductor**등)을 쌓아가면서 **Photo/Etch**공정을 거치면서 원하는 **Pattern**을 형성하게 되는데 이러한 층들을 의미한다.

Layout Plot

Layout을 육안검사하기 위해 전체 혹은 일부를 배율조정해서 **Hard Copy**로 출력한 도면으로 **C-MOS LSI**등에 있어 어떤 특정한 상태에서 기생하는 **THYRISTOR** 또는 **TRANSISTOR**가 도통하고 전원 단자간에 대전류가 흐르며 회로동작이 고장상태가 되기도 하여 IC가 전류에 의해 파괴되는 현상을 말한다.

L/B (Loadboard)

Test System에서 사용되는 일종의 **Jig**.

LC (Liquid Crystal)

물질이 가열되어 고체에서 액체로 변화될 때의 어떤 특성의 유기재료에 나타나는 중간상태를 말한다. 이 상태에서는 고체처럼 분자가 어떤 특정한 질서를 갖고 배열하며 점성이 낮은 액체와 같은 유동성을 겸비하고 있다. 이것이 액상결정 즉 "액정"이다.

LCD(Liquid Crystal Display)

액정을 이용한 문자나 숫자 표시판으로 두 개의 유리판 사이에 액정을 넣고 전압에 의하여 원하는 문자를 표시하도록 한 장치.

LDD(Lightly Doped Drain)

Doping이 낮게되는 영역을 이용, **Device**의 동작 전압을 향상시킬 목적으로 사용되는 공법.

LDMOS(Lateral Diffused MOS)

고전압 회로에 응용하기 위하여 기존 **MOSFET**를 변형한 구조로 **Source**와 **Drain** 확산사이가 채널영역과 표동영역으로 분리되어 높은 항복전압특성을 나타낸다.

Lead Finshing

반도체 제품의 **Lead**표면을 대기중 산화와 부식으로부터 보호하고 납땜 신뢰도를 높이기 위해 주석도금(**Tin**), 납땜 혹은 납도금 하는 공정.

Lead Frame

TR, Diode, IC등의 반도체 제품을 조립시 **Sawing**된 **Die**를 **Attach**시키는 머리빗 모양으로 정형된 얇은 금속판. 재질별로 **Alloy42, Copper, Kovar, Steel**등으로 구분되며 형태별로는 **IDF**와 **TTT**형이 있다.

Leak

세그먼트와 세그먼트사이 또는 **Pin**과 **Pin**사이에 도전성을 지닌 이 물질등에 의해 이상전류가 흘러 불량이 일어나는 상태.

Leak Current

누설전류라고도 하며 원래 전류가 흐르지 않아야 할 곳에 전류가 흐르는 것을 말한다.

Leakage

보통의 **Input**나 **tristated output**은 **open circuit**같이 **high impedance**로 표현될 수 있다. **leakage**는 규정된 **voltage**가 인가되었을 때 **input**과 **tristated output**에 누설되는 **current**양을 말하며 **input leakage**와 **tristated leakage**가 있다.

LED(Light Emission Diode)

반도체 소자로서 전류가 통과할 때만 빛을 발산하는 **Diode**. (**PN**접합형 반도체)

Legend(식자)

정상적으로 작동할 수 있도록 기관상에 글자나 숫자나 기호를 표시하여 부품의 위치를 표시하는 것.

LF(Lead Frame)

Chip을 접착시킬 수 있는 금속.

Library

Gate array와 **Standard cell**방식으로 제품을 설계시 배치배선의 효율성을 높이기 위해 미리 준비된 각종 논리블록의 집합체.

LIM(Linear Induction Motor)

일반형 유도 전동기를 축에 따라서 분리하여 **1**차축 고정자, **2**차축 회전자 및 공극을 각각 직선으로 펼친 비회전형 **Motor**이다.

Linear IC

계수형 **IC**와 반대되는 것으로 입력의 크기에 따라 출력이 선형적으로 변화하는 집적회로로, 증폭기, 정전압기 등이 있음.

LIPAS(Line Item Performance Against Schedule)

계획대비 항목별 달성을.

Liquid Crystal (액정)

액체의 유동성과 결정의 공학적 성질을 겸비한 액체나 고체의 중간적 성질을 갖는 물질이다.

Liquid Phase Epitaxy (액상에피태설)

주로 화합물 반도체에 사용되는 에피택셜법이다. 고 온도속에서 **Ga**, **Sn**등의 용매 금속에 화합물 반도체를 용해시켜 두고 다음에 이것을 과포화상태로 하여 기관위에 단결정을 성장시키는 방법이다.

LN2(Liquified N2)

액화된 **N2 GAS**, 저온을 필요시 사용.

Loader

Stocker의 공정간 반송정지 **Station**사이에서 **Cassette**를 주고 받는데 사용되는 **Unit**.

Load Circuit

Test시 **Device**에 실제 **Application** 과 유사한 환경을 인위적으로 조성하기 위해 출력단에 저항, **Cpactance**를 가해 주는 **Circui t**.

Loading

Wafer를 캐리어 혹은 **Boat**에 **Tweezer** 또는 기계를 사용하여 담는 것을 말한다.

Loading Effect(전계효과)

식각 공정시 발생하는 문제로 **Pattern**밀도의 차이 및 **Pattern**크기에 따라 식각속도가 달라지는 현상.

Loading fixture

Lead Frame을 성형할때 편리하도록 만들어진 기구.

Local Oxidization of Silicon

선택산화. 산소나 수증기의 확산에 대하여 큰 저지효과를 갖는 막을 남긴 영역과 제거한 영역들을 동일

silicon기판상에 형성하고 이들 영역에서의 열산화막 성장속도의 차이를 이용하여 선택적으로 특정영역에만 두꺼운 산화 **silicon**막을 형성하는 방법으로 일반적으로 질화 **silicon**막의 아래에는 변형에 의한 결정결함이 발생하는 것을 방지하기 위하여 산화 **silicon**막이 설치된다.

Logic Circuit(논리회로)

취급신호를 전압이 높은 상태와 낮은 상태만으로 하여 이것을 2진수로 대응시켜 논리연산, 기억, 전송, 변환등의 조작을 하는 것이다.

Logic Simulation

IC설계과정중의 하나로 **Functionality**를 검증하기 위해 **Logic Value**값을 이용하여 수행하는 실험절차.

Logic Synthesis

HDL로 기술된 **Netlist**를 입력으로 하여 **Logic Level Schemetic**를 합성하는 설계의 한 방법. 설계하려는 시스템의 구성을 하드웨어 기술언어의 일종인 **VHDL**을 이용하여 기술하여 주면 **Logic**이 생성된다.

Lot

Sampling 목적으로 균일한 조건하에서 누적되는 재료나 제품의 정의된 량.

Lot

Wafer의 한 묶음.

Low Power Part

정상적인 **Power**소모량보다 월등히 소모전력을 줄인 **Device**로서 **Portable**형 장비에 많이 사용된다.

LP(Lens Paper)

Lens 세척용 종이.

LPCVD(Low Pressure CVD)

상압보다 낮은 압력에서 **Wafer**위에 필요 물질을 **Deposition**하는 공정에서 사용 반응 **Gas**들의 화학적 반응방법을 이용하여 막을 증착시키는 방법으로서 확산공정에서 사용.

LRR (Lot Reject Rate)

Gate에서의 **Lot Reject**비율.

LSB (Least Significant Bit)

최소 유효자리 비트.

LSI (Large Scale Integration)

논리회로 기본 소자인 **Transistor**100개 이상으로 형성된 집적회로.

LTO (Low Temperature Deposition of Oxide, 저온 산화막 증착)

LPCVD방식으로 400~450°C의 비교적 저온에서 산화막으로 증착시키는 방법.

LTS(Low Temperature Storage)

"저온 보관 시험"으로서 저온(-40°C)의 **Oven**속에서 **Device**를 시험하는 환경시험.

Luminerous Efficiency

시스템에 들어간 전력에 대해 빛의 출력으로 사용되는 전력의 단위를 말한다.

Luminescence

고온의 상태에 있는 물질은 그 온도에 특유한 스펙트럼을 가진 파장의 빛을 복사하는데 온도에 의해서 정해지는 스펙트럼과 다른 파장의 빛을 나타내는 현상.

LVS (Layout Versus Schematic)

Layout이 회로설계도와 같이 동일하게 그려졌는지의 여부를 점검하는 것.

Lyotropic Nematic

농도에 의해서 등방상, 네마틱상의 상전이를 일으키는 액정을 말한다.

M

Macro Cell

기본적인 논리회로를 금속배선을 구현한 **Library**로서 회로의 내부에 사용되는 **Core Macrocell**과 외부와의 **Interface**에 사용되는 **Input/Output Macrocell**로 구분된다.

Macro Function

Macrocell의 집합체로 **Macrocell**보다 복잡한 기능을 수행하며 고정된 **Library**로 구성된 것이 아니라 **CAD software**를 사용하며 기존의 **Library**를 조합해서 사용하는 **Library**.

Macro Loading Effect

Wafer 전체표면적에서 **etch**해야 하는 면적의 비에 의해 크게 영향을 받는 것을 말한다.

Magazine

Lead Frame을 한 **Strip**씩 받아 넣어 취급시 안정하게 보호하는 **Carrier**로서 재질은 알루미늄.

Magneto Diode (자기 Diode)

전기적 특성이 외부에서 가해지는 자계에 의해서 변화하는 **Diode**.

Main Frame

크기와 기억용량이 큰 컴퓨터. 컴퓨터 회로판.

컴퓨터의 중신부분으로서 중앙처리장치, 주기억장치, 입출력장치와 파워 팩으로 구성되는 것.

Magnetic Ink (지기잉크, 자석잉크)

자석에 붙는 성질을 가진 **Ink**, **TR**이나 **IC**등을 **Wafer**의 상태로 특성체크를 할 때 양품과 불량품을 구별하여 이 잉크로 표시를 해 두었다가 스크라이브해서 분리할 때 이 표시를 해두었다가 스크라이브해서 분리할 때 이 표시에 의해서 불량품을 폐기한다.

Majority Carrier (다수 캐리어)

불순물 반도체에서 전기전도의 역할을 하는 캐리어인 전자와 정공의 어느 한 쪽의 수가 많다. 이 많은 수의 캐리어를 다수 캐리어라 한다.

Manual Station

Handler로 검사 하지 않고 수동으로 제품을 검사하기 위하여 **Tester**에 부착된 장치.

Mask

반도체 소자 혹은 집적회로의 구조를 크롬이 칠해진 유리판 위에 형성한 것으로 사진술을 이용하여 유리판의 구조를 복사하여 반도체를 제조하기 위해 반도체 소자 회로가 인쇄된 유리 원판.

Mask Epitaxial Method

반도체 기판에 필요한 부분만을 선택해서 단결정층을 성장시키는 것을 **Mask**에피택설법이라고 한다.

Mask Layout

집적회로용 **Mask**를 만드는데 있어 소자, 재료, 분리개소, 도통개소등의 크기,형태,위치 등을 전기적, 자기적, 열적 및 기타 여러 가지면에서 고려하여 가장 효과적인 배치가 되도록 **mask**를 설계하는 것을 말한다.

Mask Tooling Information

Reticle/Mask 제작을 위한 **Information**으로서 내용으로는 **PG Data**정보, **Frame**구성및**PIE**좌표 **Scrobe Line**내에 포함된 **Align Key**에 대한 **Information**을 포함하고 있어 **Vendor**에서는 이 정보에 따라 제작한다.

Master Drawing

전도성이나 비전도성 부품들의 위치, 크기, 형태, 홀의 위치 등을 포함하여 기판상의 모든 부품의 위치 및 기판의 크기를 나타 내는 문서.

MBE(Molecular Beam Epitaxy)

각종 피라미터를 정밀하게 제어한 고급진공증착법.

MCC(Motor Channel Center)

Motor의 가동, 정지를 손쉽게 하고 이상시 사전 차단시켜 손실을 방지키 위한 목적으로 설치한 **Panel**.

Mcdonnell Switch

저수위 차단장치. **Boiler**의 수면이 위험수위보다 낮아져 전열면이 화염, 고온 **Gas**에 노출되었을 때 과열되어 일어나는 사고를 미연에 방지하기 위해 **Boiler**가 위험수위에 도달하기 전에 신호를 발신하는 장치 .

MCM (Multi Chip Module)

다중칩 모듈이라고도 불리고 있는 이 모듈은 각기 다른 기능을 가지고 있는 여러 개의 칩들이 한 개의 플라스틱내에 패키지화된 것을 말함. **MCM**의 목적으로 시스템의 면적축소, 가격절감과 스피드 개선을 위하여 만들어 졌으나, 칩 동작시 발생하는 과도한 열 발생을 감소시키기 위한 노력이 시도되고 있다.

MDS (Microcontroller Development System)

MICOM 응용 **Program** 의 개발을 위해 지원하는 모든 종류의**Tool**.

Measling

기판내부의 섬유성분이 교차되는 부분에서 글라스 화이버가 분리되는 형태.

Mechanical Pump

저진공에 사용되는 진공 펌프로써 고정체에 대한 회전체의 회전에 의해 밀폐된 공간으로부터 **Gas**를 뽑아 내는 장치.

Mega Cell

RAM,ROM등의 **Memory**블록과 **PC**주변 연결회로인 **82 Series**와 같이 크기가 큰 **Logic**을 **Macrocell**과 같은 **Library**.

Mega function

Megacell와 같은 기능을 수행하는 **Library**를 **Macrofunction**과 같이 **CAD**를 사용하여 조합하는 **Library**로서 **Megafunction Library** 를 사용하면 **Disk**의 공간을 줄이고 사용자가 원하는 형태로 만들 수 있다.

Memory Cell

Memory IC에서 **Data**정보를 축적한 부분. **RAM**에서는 **SRAM, DRAM, SRAM Cell**은 **Latch**로 구성되며, **DRAM**은 **Condenser**에 의하여 구성된다. **SRAM**은 구조가 복잡하여 대용량 제품을 만드는 데 어렵지만, 반대로 **Access**사용방법의 용이함등의 장점을 갖는다. **DRAM**은 **Condenser**의 전하유무를 **Bit**정보로 하고 있다,, 구조가 간단하기 때문에 대용량화가 가능하다. 전하가 **Leak**등으로 방전되기 때문에 수시로 **Data**를 읽어 내어 **Rewrite**하는 조작(**Refresh**)이 필요하며 그것을 위한 회로가 필요하다.

Memory Effect

액정표시에 있어서 전기 광학 효과등에 의한 표시상태가 외장을 제거한 후에도 유지되는 현상을 말한다.

Memory module

단일 **Memory**를 여러 개 조합하여 보다 큰 **Memory**제품을 말함.

Mesogen

액정분자에서 중간상 형성분자.

Metal Gate

게이트 전극으로(**AI**을 주로 사용)을 사용한 절연게이트형 전계효과 **TR**로서 일반적으로 흔히 볼 수 있는 **MOS FET** 또는 그와 같은 **MOS FET**을 소자로 하는 **IC**를 말한다.

Metallization

반도체 소자와 소자를 전기적으로 상호 연결시켜 주는 것.

MFC(Mass Flow Controller)

가스 유량 제어장치.

Micro Bridge

Pattern과 **Pattern**사이에서 생긴 **Bridge**로 아주 미세하여 일반 **Scope**을 이용하여 볼 수 없을 정도이며 일반적으로 **Current level**보다는 **Scope**상에서의 크기를 기준으로 한다.

Micro IC

마이크로파 영역에서 동작하도록 설계된 집적회로.

Micromulsion

양친매성 분자의 수용액에 기름(탄산수소)을 가용화시킨 계.

Mil

길이의 단위 **1/1,000 Inch**. 약 **25.4μm**.

Minority Carrier(소수 캐리어)

불순물 반도체에서 전자나 정공중에 작은 쪽의 캐리어를 소수 캐리어라 한다.

Mis-Align

감광 원판(**mask**)의 형상과 **Wafer**의 형상간에 부정확한 정렬이 이루어진 것.

MLM(Multi-Layer Metal)

IC집적도가 증가함에 따라 **Metal 1 Layer**의 배선으로는 무리가 따른다.

따라서 절연층을 사이에 주고 금속 배선을 **2중, 3중**으로 하여 집적도를 증가시키는 배선기술을 다층배선을 한다.

MMIC(Monolithic Microwave Integrated circuit)

마이크로파 대역의 회로를 **Wafer**상에 집적시킨 **IC**로 기판상에 **Inductor, Capacitor, 저항, Transistor**등을 만들어 마이크로파용 배선으로 상호 연결하여 제작한다.

MO Tape(MASK ORIGINAL TAPE)

설계가 완료되어 실제 **Mask**를 제작한 **Data**를 말한다.

Mobility

기체, 액체, 고체속의 전자, 음이온, 양이온등이 전계의 작동에 의해서만 이동할 경우 단위전계장도 **10/m**당의 평균속도이며 이 동도라고도 한다. 단위기호는 이다.

MOCVD

(Metal-Organic Chemical Vaper Deposition)

MOVPE라고도 부르며 **Epi**층을 성장시키는 장비이다. 원리는 성장에 필요한 **Source**들을 함유한 기체를 열 분해시켜 반응물질을 기판에 달라붙게 하는 것으로서 통상적으로 원자5층 이하의 두께까지 조정 가능하다.

Mode

최빈수. 변수중 가장 빈번히 나타내는 수.

하나의 기계, 장치, 회로 시스템등이 **Operation**의 방법에 따라서 다른 상태가 되는 것.

Model Parameter

회로**Simulation**을 위한 목적으로 공정을 통해 제작된 소자의 전기적 특성을 추출하여 계수화한 값의 집합.

Module

규칙성과 분리성을 가진 몇 개의 부품 또는 소자로 구성되며 어떤 정해진 기능을 다하는 단일 부품단위로 간주되는 조립 회로이다.

Module 공정

제품특성을 분석하기 위하여 특정 단위 공정을 연속적으로 하는 공정.

Molding

성형을 말하며 플라스틱을 일정한 형틀(금형)에서 성형하여 제품을 만드는 것이다. 반도체 공정에서는 **Wire Bonding**된 각각의 제품을 플라스틱 몰딩 컴파운드(성형재료)로 성형하는 성형하는 공정이며 **package**성형시 컴파운드는 고주파 가열기로 예열시킨 후 사용.

Molding Compound

Wire Bonding 된 반제품을 성형하는 성형재료로서 고분자 화합물인 수지에 각종 배합제를 가하여 쉽게 만든 열 경화성 수지.

Molding Die

규격치 모형에 형을 만들어 놓고 열 경화성 합성수지를 압입시켜 경화된 형 모형에 제품을 만들어 내는 틀.

Monitoring

공정흐름을 감시 및 점검하는 경우.

Monolithic IC

1개의 반도체 결정핀으로 된 회로를 가리킨다.

MOP(Metal Oxide Passivation)

금속 산화막에 의한 표면 안정화.

MOS(Metal Oxide Semiconductor)

Silicon기판등의 반도체표면에 산화막을 입히고 그 위에 금속을 부착시킨 구조의 **Device**.

MOS FET(MOS Field Effect Transistor)

Source, Drain Gate3개의 전극을 갖고 있으며 **Gate**전극에 가해진 전압에 따라 **Source**와 **Drain**간의 **Channel**전류를 제어한다.

MOS IC

MOS FET를 사용한 **IC**.

Movement

한 **Run**이 하나의 단위공정으로 진행된 것을 말함.

MPR(Micro Peripheral)

주변 **LSI**라 부르며 **Micro Computer** 주변장치나 메모리와 **Microprocessor**를 접속하는데 필요한 **LSI**를 말한다.

M-Pyrol

금형내에 존재한 수지 찌꺼기, 이 형체의 성분, 기타 유지성분을 제거하기 위하여 사용되는 화공약품.

MRB(Material Review Board)

제품의 신뢰성을 통하여 일정한 **Criteria**로부터 벗어날 경우, 제공 및 **Stock**된 제품등을 포함하여 전반 공정의 **Shut-down**를 의미 하여 **24**시간 이내 **Corrective action**을 요구.

MSI(Medium Scale Integration)

100개 이하 또는 **10**개 이상의 논리 **Transistor**로 구성된 집적회로.

MTO(Medium Temperature Deposition of Oxide)

LPCVD방식으로 약 **800** 정도의 온도에서 산화막을 증착시키는 방법.

Multi-Processing

여러 개의 마이크로 프로세서가 한 개의 시스템에 장착되어 각각 서로 다른 일을 독립적으로 시행하는 상태를 말한다.

Multiple Diode

하나의 케이스속에 **2**개이상의 **Diode**를 포함한 것.

Multiplexer

병렬로 입력된 데이터를 제어입력(선택입력)에 의해 **Control**하여 직렬로 변환해서 출력으로 꺼내는 회로이다.

Myelin Figure

스펙트럼 **A**상의 상태에 있는 어떤 양친매성 분자의 **2**분자층이 원주상 구조로 되어 있는 구조체 조직.**N**

Nail Heading

다층기판의 내층회로에 있어서 홀드릴에 의하여 회로가 퍼진 상태.

Nano Line

빛의 간섭효과를 이용하는 것으로 입사광의 파장변화에 따른 반사광의 **Intensity**를 측정해서 박막의 두께 및 반사도를 측정하는 장비.

Nano Spec

Wafer위에 입혀진 물질의 두께를 측정하는 장비.

National Reference Standard

원기에 의하여 교정되는 표준기기로서 **2**차급의 표준기기를 교정하는 데 사용되는 것.

Navigation TFT-LCD

LCD의 일종으로 항법 장치에 사용되는 디스플레이로 경량, 박형이며 인명에 관계된 것이기 때문에 고 신뢰성을 요구된다.

N-Channel

P형 기판에 확산영역을 형성한 절연게이트형 **FET**에 있어서 소오드, 드레인간을 흐르는 전류의 통로인 채널이 전자에 의해서 형성되는 것을 말한다.

Neat Phase

일반적으로 물을 그다지 함유하지 않는 표면 활성제, 비누, 복합지질등의 계가 두개의 분자층사이에 균등하게 물을 함유한 **lame IIa**구조의 상태를 말함.

Necking

Interconnect line이 가늘어지는 현상.

Negative LCD

Normally black라고도 하며 검은 바탕에 흰 문자가 나타난다.

Negative Resistance

전압을 증가시킨 경우 전류가 감소하는 특성을 말한다.

Nematic IC

부자의 장축을 대개 일정방향으로 배향하고 분자의 중심이 랜덤하게 분포되어 있는 역동성을 가진 액정.

Net Die

Wafer 내에서 실제로 만들어지는 **Total Die**수.

Netlist

회로설계가 끝난 후 **Simulation**혹은 **Layout**을 하기 위해 그려진 회로도에서 사용된 소자 종류, 크기, 소자와 소자의 연결상태, 글고 **Signal Name**이 추출이 수록된 **File**.

Neural Processing Chip

뇌의 신경회로를 모방한 **Neuron**과 **Neuron**간을 연결하는 기능등을 탑재한 **IC**.

N-CH Filed Implant

Filed Region의 **VT**를 증가시켜 **Cell**과 **Cell**간의 절연성을 높이기 위하여 **Filed Oxide**가 성장할 부위와 같은 종류의 **ICON**을 주입 한다.

N MOS(N-channel MOS)

기관은 **P**형으로 구성되고 **Source**와 **Drain**부가 **N**형으로 작동되는 **MOS device**.

Nodule

작은 돌출부, 평탄해야 할 **Si**표면에서 **Si**이 석출되어 위로 올라온 것.

Noise Margin(잡음 여유)

논리회로에서는 전압의 고저에 따라서 **1**과 **0**을 정하고 있는데 잡음이 발생하면 전압 **level**이 변동하여 "**1**"과 "**0**"이 바뀌고 말기 때문에 이것을 방지하기 위하여 논리전압이 여유를 갖게 할 필요가 있는 데 이를 말한다.

Non-Volatile(불 휘발성)

전원이 끊어도 지워지지 않는 **Memory**.

Notch/Void

일반적으로 재료(기관표면)에 움푹 패인 곳이나 구멍이 뚫린 곳을 말하며 이곳에는 역학적으로 응력이 집중되는 곳이다. 반도체 분야에서는 금속막 및 보호막의 유기적인 관계에 의해 금속배선에서 일어나는 현상으로 금속배선 측벽에 켜기형상으로 파이는 것을 **Notch**라 하며, 이것이 성장하여 **Hole**모양을 형성하는 것을 **Void**라 한다.

Notching

Photo공정에서 난방사에 의해 **line**에 톱니모양으로 파지는 현상.

Notebook TFT-LCD

중량 **3.5Kg**이하의 **PC**에 장착되는 디스플레이 패널로 **10**인치 이하의 사이즈의 화소수는 **Laptop**과 같으나 **Pitch**사이즈는 **0.21, 0.33mm**정도이다.

NPN TR

N, **P**, **N** 영역을 각각 에미터, 베이스, 콜렉터로 접합형 **TR**이다.

N-Type Silicon(Negative Type Silicon)

Major Carrier가 **Electron**인 경우를 말한다.

NVD(Non Visual Defect)

Deprocess에 의해 불량분석을 하는 경우 **Fail**은 되었으나 **Defect**를 찾을 수 없는 경우 **Non Visual Defect**라 한다.

O

OA(Outside Air)

AHU에서 청정화되어 청정실에 공급되는 공기.

OAHU(Out Air Handing Unit)

외조기라 칭하며 외기를 흡입처리하며 맞게 송기한다.

Oalemce Election

원자핵 둘레의 전자군중 맨 바깥쪽을 돌고 있는 전자, 최외각 전자라고 한다.

OCD(Optically Coupled Device)

광결합 장치.

Octal Test

Probe Test시 touch에 8Die를 Probeinnng하며 동시에 8 Die를 test하는 것을 말한다.

OEIC(Organized design for line & Crew System)

제조System의 문제점을 찾아서 작업방법 및 Layout개선등의 Method를 설계하여 Line에 정착 및 배치인원의 적정화를 도모하는 활동.

One Chip CPU

마이크로 프로세서의 가장 간단한 것으로 문자 그대로 프로세서 기능이 1개 Chip상에 LSI화 된 것을 말한다.

ONO 구조

Capacitor전극사이에 들어갈 Dielectric Material로 Oxide/ Nitride/ Oxide의 3층 구조를 형성하여 단층구조에서 발생할 수 있는 Pinhole을 방지하고 Breakdown특성을 향상시키는 한편, Nitride Dielectric Constant가 Oxide에 비해 훨씬 크기 때문에 Capacitance를 증가시킨다.

Open

소자의 내부에서 단선된 것을 말한다.

Open Repair

TFT Arrey Panel공정에서 Data Lline또는 Gate Line에 서로 다른 두 line이 서로 short되었을 시 이를 끊어서 정상적으로 정상 작동하도록 하는 방법.

Optic Emission Method

Plasma가 etch하고자 하는 박막과의 반응에 의해 발생하는 반응 부산물의 Optic signal을 추적하는 방법.

Optical Axis

복굴절 매질중에서 常光線(No:ordinary)과 異常光線 (Ne:extra ordinary)이 같은 속도로 전달되어 복굴절이 나타나지 않게 하는 방향.

Orientation- Film(배향막)

액정물질을 단순히 유리기판상에 주입시키는 것만으로는 일정한 분자배열을 얻기 힘들기 때문에 폴리이미드란 고분자물질을 이용하여 배향막을 만듦.

Oscillator(발진기)

입력신호가 없어도 출력에 계속하여 일정한 주파수의 신호가 나오는 회로이다.

O/S(Open Short)

개방 및 단락 불량.

OTP(One Time Programmable)

주로 EPROM Device를 Plastic Package에 조립하여 Erase를 못하는 대신 Package비용을 줄이는 Device를 일컫음.

Output Buffer

Sence AMP에서 증폭된 **Data**의 **External Load**를 **Device**하기 위해 사용되는 **Buffer**.

Output Level

Device가 출력하는 전위로 저장된 **Data**의 특정상태(**High, Low**)를 나타낸다.

Outgassing

Source Gas를 바꿀 때마다 잔류 **Gas**를 제거하기 위하여 고열로 태워 **Lon Beam** 생성부를 세정시켜 주는 형태.

Oven

Wafer를 말리는 장치.

Over Coat

투명도전막(**ITO**)이 있는 경우 굴곡 상태가 틀려서 디스플레이에 얼룩이 생기는 경우 투명도전막을 패터한 후 **Alksli Barrir Coa t**를 하면 배향층의 생성이 용이하다.

Over Coating(Polyimide Coating)

액정분자를 일정방향으로 배향시키는 박막으로서 액정분자의 배향을 안정시키는 동시에 투명전극의 반사를 작게 하고, 내직류성을 향상시키는 것으로 폴리이미드가 주로 사용됨.

Over Etching

End Ppint Detection의 개념에 추가로 **Etch**되는 것을 말함.

Oerlay Vernier

Wafer의 감광액상에 전달된 감광원판형상의 중첩도를 측정하기 위하여 **Wafer**내에 삽입되어 있는 **Pattern**중첩 측정용 척도.

Over- flow

수조의 상부로부터 흘러 넘치는 현상.

Oxidation

산화를 말하며, 확산로를 이용하여 고온에서(**650 ~ 1200 도**) **Wafer**표면에 산화막을 형성하는 것.

Oxide

산화막(**SiO2**)

Oxide Breakdown

Oxide막의 절연강도 이상의 **voltage**에서의 전기전도 현상.

Oxide Film(산화막)

불순물 확산의 마스크로서도 사용되며 반도체 표면의 보호막으로도 사용될 수 있는 산화막으로 가장 많이 사용되고 있다.

P

P-Channel

N형 기판에 **P**형 확산영역을 형성한 절연 게이트형**FET**에 있어서 소오드, 드레인간에 흐르는 전류의 통

로인 채널이 정공에 의해서 형성 되는 것을 말한다.

P & R(Placement & Rounting)

Design Automation의 한 분야로 **Chip Layout**시 미리 준비된 **Macro-Block**및 **Standard-Cell**들을 자동으로 배치 또는 배선하여 최 적화하는 것을 말한다.

P/A(Process Area)

생산장비에서 **Wafer**의 가공공정이 행해지는 **Area**.

P-Type Silicon(Positive Type Silicon)

Major Carrier가 **Hole**인 **Si**를 말한다.

PA(Process Air)

Air Comp에서 생산된 압축공기를 **Dryer** 및 **Filter**를 통과하여 정제된 **Air**로서 생산장비에 사용된다.

Package

TR, Diode, IC등의 반도체 소자의 용기로서 **Package**는 재료면에서 **Mold(수지) Type, Ceranic type, Cam(금속) type**등이 있다. 또한 형상면에서 면실장 **Type**과 **Pin**삽입 **Type**이 있다.

Package Density

단위 체적속에 실장되는 부품 또는 소자의 수.

Panel Plating(판넬도금)

홀을 포함하는 기판의 전면을 도금하는 것.

Parasitic Effect(기생효과)

소형화된 **IC**에서 소자 사이가 근접하기 때문에 생기는 문제.

Passivation

회로가 외부의 먼지, 온도, 습도 및 굽힘으로 부터 **Damage**를 받는 것을 방지하는 위해서 보호층을 입혀주는 공정으로 주로 **Plas ma CVD Oxide Nitride**를 사용하며, **PN**접합표면을 습기나 불순물에 대해서 둔감하게, 즉 불활성으로 하는 방법.

Pattern

부품이나 디바이스의 배선 및 그들의 형태나 배치의 조합에 의해서 소요의 회로 기능을 구체화시킨 평면 도형을 말한다.

PBH (Planer Buried Heterostructure)

가장 통상적으로 사용되는 반도체 레이저(**LD**)의 구조로서 발관부를 식각, 성장 등의 공정을 거쳐 다른 **epi**층으로 완전히 싸버리는 구조이며 표면을 평탄화시킨 것이 특징이다.

PCB (Printed Circuit Board:인쇄 회로기판)

인쇄 배선판, 위에 저항, 콘덴서, 코일, **TR, IC, LSI**, 스위치등의 부품을 장치하고 납땜하여 회로기능을 완성시킨 것.

PCD (Plasma Coupled Device)

CCD등과 마찬가지로 일종의 집적형 **Device**.

PCM Data

RUN에서 추출되는 **Data**중 **Test pattern**을 측정하여 공정의 불량여부를 분석할 수 있는 **Data**.

PCM Test

Process control monitor하는 시험소자, 공정상의 특성을 알아보기 위해 실시하는 검사행위.

PCT(Pressure Cooker Test)

"증기압 시험"으로서 **15PSI**, 습도=**100%**, 온도=**121±2** 의 **Pressure Cooker**내에서 진행되는 내습성 시험을 말함.

PCW(Process Cooling Wafer)

공정용 냉각수로서 생산장비의 냉각을 위하여 사용된다.

PD(Photo Detector)

수광소자로서 해당영역의 파장의 빛을 받아들여 전기적인 신호로 바꾸어 주는 소자이며 동작원리에 따라 **PIN-PD**, **APD**등이 있다.

PDP(Percent Defect Panel)

대화면화에 용이한 자발광 소자로 개발 실용화 추진단계의 소자임.

PDIP (Plastic Dual In-Line Package)

Plastic으로 만든 **Package Type**의 한 종류이며 **Package** 양쪽에 **Lead**가 길게 나와 있어 **Socket**에 끼워 쉽게 사용할 수 있다는 장 점이 있으나 많은 면적을 차지하고 습기등에 약하다는 단점이 있다.

PECVD

(Plasma Enhanced Chemical Vapor Deposition)

강한 전압으로 야기된 **Plasma**를 이용하여 반응물질을 활성화시켜 기상으로 증착시키는 방법 또는 장치. **TFT-LCD**에서는 **Insulator**층과 **a-Si**증착에 사용한다.

Pellet

불순물 주입등의 공정이 완성된 **Wafer**에 들어 있는 각각의 소자를 잘라낸 개개의 소자.

Pelletize

compound를 사용하기 좋게 작은 덩어리로 만드는 작업.

Performance Board

Test System또는 소자로부터 나오는 전기적 신호를 대하여 **Test System**과 **Probe**사이를 연결시켜 주기 위해 **PCB**에 **Coaxial Cable**로 **Wiring**한 **Interface board**.

Peripheral LSI

Test system에 **CPU**를 지원하는 **LSI**군.

PG(Pattern Generator)

CAD System에 의해 **Digitizing**된 설계 정보를 **Mask**위에 **Pattern**모양으로 형상화시키는 기계로 **Reticle**제작에 사용.

PG(Pattern Generation)

회로설계 **Pattern**이 **Layout**된 상태를 **Reticle/Mask** 제작장비가 사용할 수 있는 **Data**로 바꾸어 주는 작업.

PG Tape

설계완료된 **Layout Data**를 **Reticle/Mask**제작장비인 **E-Beam Machine**에 맞는 **Format**으로 변

정한 **Data**를 **PG data**를 보관한 **Tape**를 말한다.

PGA(Pin Grid Array)

Lead가 **Package**의 아래쪽에 길게 나와 있는 정사각형의 반도체 제품.

Phase(위상)

미리 규정한 위치에서 본 반쪽파형의 **1**사이클을 기준으로 한 상대위치.

Photo Conductive Effect(광전효과)

반도체에 빛을 조사함으로써 일어나는 전기 전도도의 변화나 기전력의 발생현상을 총칭하여 광전효과라 말한다.

Photo Diode

반도체의 **PN**접합에 역 바이어스를 가하고 접합면에 빛을 조사하면 **PN**접합에 흐르고 있는 역방향 전류가 증가하는 현상을 이용한 것이다.

Photo Etching(사진 식각법)

에칭재료에 대해서 내성이 있는 재료.

Photo-Resist

사진 식각 공정을 위하여 사용되는 점액성 액체를 말하며 빛이 닿는 유무에 따라 상태가 변하는 감광물로서 **Positive**와 **Negative** 2종류가 있음.

Photo-Resist or Resist

감광물질로 **Positive**와 **Negative**의 두 종류가 있음.

Photo Volatic Effect(광기전력 효과)

반도체의 **PN**접합에 빛을 조사했을 때 **PN**접합의 양단에 전압이 나타나는 현상을 광기전력을 말함.

PI(Process Integration)

반도체 소자를 만들기 위해 **Photo, Etch, Diffusion, Thin Film, Ion Implantation**과 같은 단위공정이 필요한 데 각 공정을 소자의 특성에 맞게 **Process Flow**를 설계하고 제어하는 기능.

Piezo Electric Effect(압전효과)

어떤 종류의 결정에 어떤 방향으로 압력을 가하면 정해진 방향으로 유전분극이 나타나는 현상.

Pin Hole

사진 감광액 속에 입자가 존재하거나 **Mask**나 **WF**표면에 결함이 있을 때 사진 작업후 형성된 감광액 **Pattern**에 생기는 작은구멍.

확산로에서 성장시킨 산화막에 생긴 작은 구멍.

Pit

동박을 완전히 관통하지는 않으나 표면에 생기는 작은 구멍.

Pixel(화소)

두 단어 "**Picture Element**"의 합성어로 화면을 구성하는 **R,G,B**의 **3**돗트를 **1**화소라 하며 정세도가 높다고 하면 화소수가 많음을 의미한다.

Pixel Defect

LCD 화소단위의 표시결함으로 능동 매트릭스 방식에 전형적으로 나타난다.

PLA(Programmable Logic Array)

일반적인 논리 회로의 조합으로 기능별로 연결하거나 **Program**에 의하여 조작할 수 있는 논리조작 회로.

Planner용법.

기억소자에서 콘덴서를 만드는 **FAB**공정기술중의 하나로 **Silicon**기판과 평행하게 콘덴서가 형성되는 기술.

Planar Transistor

FAB공정에서 만든 반도체 **Silicon Chip**의 수직구조가 평평한 상태정도를 말한다.

Plasma

거의 같은 수의 양이온과 전자를 띤 가스.

Plasma Display

가스 방전에 의해 문자 또는 숫자를 표시하는 것으로 절연물을 통해 글로우 방전을 일으키는 외부 전극형 표시 방전판이다.

Plasma Etching

고주파가 인가되 반응실 내부로 **Gas**를 주입하면 높은 **Energy**상태로 활성화 되어 이온, 전자, 원자, 래디칼등이 생성되는 데, 이 것을 사용하여 식각을 하는 일반적인 건식 식각, 좁은 의미로는 화학적인 반응에 의한 건식 식각 방법.

Plating

도금.

PLCC(Plastic Leaded Chip Carrier)

Package의 일종으로 **lead**가 4방향으로 난 표면 실장형 반도체 제품.

Plenum

공기의 유통을 위한 공간.

PLL(Phase Locked Loop)

전압에 의해 조정되는 발진 주파수가 기준 주파수와 일치할 때까지 주파수의 위상차에 비례하는 전압을 발생시켜 발진 주파수를 기준 주파수에 맞추는 회로방식.

P-MOS

양전하 즉 정공에 의해 **Channel**전류가 형성되는 **MOS Transistor**.

P-N Junction

P-N Junction은 **P**형 영역과 **N**형 영역사이의 경계부분. 이러한 **Junction** 그자체는 정류기(**rectifier**) 혹은 **Diode**를 만들어 냄.

PNPN Diode

PNPN의 4층 구조로 된 **Diode**.

PNP Type Transistor

PNP접합의 구조를 가지고 있으며 **P, N, P**영역을 각각 에미터, 베이스, 콜렉터로 한 접합형 **TR**를 말한다.

Polarizer

자연광을 직선 편광으로 변화시키는 필터로서, 요소 또는 2색성 색소로 염색한 **PVA** 필름을 연신 가공하여 **TAC(Tri Acetyl Cellulose)** 필름 사이에 넣은 판.

Poly-Crystal(다결정)

물질이 결정질의 것인 경우 하나의 덩어리속에 결정축의 호트러짐이 있거나 결정축 방향이 다른 것이 포함되어 있는 것과 미세 한 다결정의 모임으로 되어있는 경우를 다결정이라 한다.

Poly-Crystal Silicon(다결정 실리콘)

결정 전체에 걸쳐서 원자 또는 원자 집단의 주기성이 유지되고 있을 때 이것을 단결정이라 하며 전체가 임의의 방향을 향하고 있을 때 이것을 비정질 또는 무정형이라 한다. 다결정은 이 중간의 상태이며 작은 단결정이 불규칙하게 모인 것이다.

Poly-Si

장범위에서는 결정성이 없지만, 단범위에서는 결정성을 가지고 있는 실리콘 물질. 결정 경계로 구분되어 있고 결정 경계 내부는 단결정이며 이러한 결정이 다수 존재한다.

Polyimide

이 막은 **Rubbing** 공정을 통해 배향함으로써 액정이 일정한 방향으로 배열하게 한다.

Polymer

중합체. 수천개 이상의 단량체(**Monomer**)들이 서로 결합되어 이루어진 고분자 화합물.

Positive LCD

LCD에서 **Normally White**라고도 하며 흰 바탕에 검은 문자가 나타난다.

Post Burn-in

Burn-in 후에 검사하는 것.

Post Laser Repair Test

Laser Repair 수행 후 **Wafer Chip**의 **Pass/Fail** 및 **Laser Repair** 성공여부를 판별하는 전기적 성능 검사법.

Pot

성형 금형내에 합선수지를 투입시키는 입구.

Power Regulator

Bipolar 기술로 **IC**화 시킨 정전압용 **IC**로써 산업용 **Linear IC**의 한 종류이다.

PR(Photo Resist)

감광성 고분자로서 노광 공정시 빛을 받은 부분이 광반응을 하여 현상공정 후 **Pattern**을 형성한다. 광 감응제가 섞여 있는 유기 화합물로 빛에 의해 자체내에서 화학반응이 일어나 화학적 구조가 변하여 현상액에 의해 일정 **Pattern**이 형성되도록 하는 물질.

Pre Burn-in

Burn-in에 들어가기 전에 검사하는 것.

Predipitate

일정해야 할 지역에 (불순물 농도등), **FAB** 제조 공정중 어떠한 이유로 핵을 중심으로 모이는 현상.

Preform Feeder

릴 상태로 감겨 있는 납 **Preform**을 일정한 길이로 잘라서 **Lead Frame**위에 접착시키는 장치로서 반시계 방향으로 회전.

Pretilt Angle

유리기판 표면에 대한 액정분자 장축의 경사각도.

Probe Card

Wafer내의 **Chip**의 전기적 동작상태를 검사하기 위해 **Probe Tip**을 일정한 규격의 회로 기판에 부착한 카드.

Prober

Test장비와 전기적 신호를 주고 받을 수 있도록 연결되어 있으며 **Wafer**를 **X, Y, Z**축으로 움직여 각 칩을 **ROOM/HOT** 온도상태에서 **Wafer**내의 지정된 **Point** 탐침을 접촉시켜 **Test**하는데 사용되는 장비임.

Probing

측정을 위하여 만들어 놓은 **PAD**에 **Probe Tip**을 정확하게 **Contact**시키는 것.

Process Minispec.

공정개발실에서 **base line**공정이 확정되어 **FAB**운영실로 이관될 때는 작성되는 **SPEC**으로서 각 공정 진행시의 작업순서, 작업조건, 작업결과의 확인기준을 명시한 해당공정의 기술 표준.

Profile

지정된 공정에서의 필요온도를 장비내에 오차없이 입력시키는 일련의 작업으로써 확산공정에 쓰임.

Proximity Effect

Pattern이 조밀한 지역과 밀도가 아주 낮은 지역과의 경계면에서 **Etch**속도의 차이가 나는것을 말함.

PRT(Production Reliability Test)

공정 신뢰성 시험으로서 양산중인 제품에 대한 품질확인 검사를 말한다.

PSG(Phospho-Silicate-Glass)

인규산 유리. 산화막에 **Phosphorous**가 첨가된 것으로 절연특성이 양호하며 낮은 온도에서 **Reflow**되는 특성을 갖는 물질로서 반 도체 표면의 안정화등에 사용.

P/S(Prober Station)

Wafer를 검사하기 위해 테스터와 연결된 설비

PSRAM(pseudo SRAM)

DRAM의 장점인 동일면적에 있어서 기억용량의 극대화와 **SRAM**의 장점인 **Refresh** 불필요성을 결합시킨 것으로 **DRAM**의 장점과 **SRAM**의 장점을 결합시킨 기억소자.

P-Type

N-Type에 대응되는 것으로 반도체 재료에서 전류의 흐름을 형성하는 정공의 밀도가 전자의 밀도보다 훨씬 크도록 3가의 불순물 원소를 주입한 반도체.

P type semiconductor

콘스탄트 히팅에 반대되는 개념으로 지속시간이 짧은 전류를 본딩 팁에 흘려 순간적으로 열을 발생시키고 전류를 차단하면 동시에 열도 차단되는 것.

Punch-Through Breakdown

Source/Drain Junction depletion region이 만나면서 생기는 **Breakdown**현상으로 **Substrate**농도가 낮거나, 또는 **Short Channel**일 경우 두 **Junction**의 **Depletion**이 만나면서 **Source-Dain**사이에서 갑자기 많은 전류가 흐르는 현상을 말한다.

PV(Process Vacuum)

공정용 진공으로 진공 **Pump**에서 생산되어 라인으로 공급된다. 생산장비에서 웨이퍼의 고정과 이송을 사용됨.

PVD(Physical Vapour Deposition)

CVD에 대비하여 쓰이는 말로 스퍼터링, 증착 등의 물리적인 박막 증착기술을 총칭하는 것.

PW(Polished Wafer)

연마 가공된 웨이퍼.

PWL(Pulsed Word Line)

ICC를 줄이기 위해 **Reading**시 **Word Line**의 **Signal**을 **Pulse**형태로 **Control**하게 설계한 **Circuit** 개념이다.

Q

QDR(Quick Drain Rinse)

DI Rinse시 일정한 **Cycle**로써 반복되게 **Sho-wer**와 **Drain**을 시키면서 **Cleaning**하는 방법.

QFP(Quad Flat Package)

Lead 간격이 좁고 **Package**사방에 **Lead**가 있는 상태.

Quartz Boat

Wafer를 운반, 또는 공정을 진행하기 위한 도구.

Quartzware(석영제품)

Furnace등 **N/C Chamber**를 구성하는 석영 부품.

Q-tip

면봉. 가느다란 봉에 솜을 부착시킨 것으로 알코올을 사용하여 **Cleaning**할 때 쓰임.

QTL(Q8K Test Language)

Q8K Test System에서 사용하는 **PGM language**.

Qual(qualification)

반도체 제조의 최종 관문으로 신뢰성을 **Test**하여 만족한 상태로 달성하는 것.

Quantum Electrnics

공간이나 고체내를 자유로이 움직이는 자유전자가 아닌 원자가 분자에 속박되어 있는 전자의 운동을 이용하는 공학을 양자 **Elec tronics**라고 한다.

QV (Quality Validation)

정상적인 고온 **Test** 후에 **QA**부서에서 고온, 저온, 상온 **Test**를 번갈아 하면서 특성상의 이상유무를 확인하는 것.

R

R/A(Return Air)

실내에 공급되었다 회수되어 재사용되는 공기.

Rack

도금걸이. 도금물체를 받치거나 전류를 통하게 함.

Ram Height

랜덤 또는 플란저 하강기 이송 변속점에서 상부 금형의 하단까지의 거리.

Rambus DRAM

Rambus사에서 제창한 고속**DRAM**. **Data**전송 주파수를 **500MHz** 정도의 초고속으로 실현시켜 **data bus**폭의 증대를 억제시킨다.

RAMDAC

Pixel Address 입력에 해당하는 **RAM**의 내용을 **DAC**를 통하여 **R.G.B Analog**출력으로 제공하는 **Chip**.

Raster

CRT화면상에 미리 정해진 수평선의 집합형태.

Recipe

장비가 어떤 **Material**을 **Process**하는데 필요한 **Rule**이나 **Control data**를 말한다.

Rectifier

주로 **Diode**와 같은 반도체 소자를 이용하여 교류를 직류로 바꾸는 전기적 장치.

Recombination

반도체에 전압을 가하거나 빛을 조사하거나 또는 소수 캐리어를 주입함으로써 열평창 상태의 전도전자의 수보다 여분의 전자, 즉 과잉전자가 생긴다. 과잉전자가 충돌대 속의 공레벨로 되돌아가서 소멸하는 현상을 말한다.

Rectifying Action(정류작용)

통전방향에 따라서 전류가 흐르기 쉬운 정도가 다른 성질.

Redundancy

어떠한 **Cell**이 어디가 고장나도 그에 대신하는 것이 있어서 **Chip**전체로서는 고장없이 동작을 계속할 수 있는 것을 말한다.

Redundancy

회로 **Chip**의 수율을 높이기 위해 여분의 **Cell**을 집어 넣어 **Defect**된 **Cell**을 여분의 **Cell**로 대체하여 사용하는 것.

Reference Check

표준 **Device**를 이용하여 **System**의 안정상태를 **Check**하는 것.

Reflectance(반사도)

Film의 표면 반사도로써 표면의 거칠음 정도를 표현한다.

Reflective Display

Backlight없이 자연광의 반사에 의해 표시하는 **Display**방식.

Refresh

DRAM에서 **MOS FET**의 게이트 용량에 축전된 전하에 의해서 **WRITE-IN**된 기억을 유지하는 데 이전 하는 수밀리초내에 방전하여 없어 지므로 항상 기억을 재생하여야 하며 이것을 **REFRESH**라 한다.

Reject

생산용으로 더 이상 사용할 수 없는 **Wafer**나 **Mask**를 폐기 처분한다는 뜻.

Reliability

반도체 제조를 위한 어떤 장치 얼마 만큼 고장 없이 주어진 기능을 수행할 수 있는가를 또는 제품이 나타 내는 것.

Repairable

Memory Chip내의 **Fall Bit**가 여분으로 만들어 둔 **Redundancy**수 보다 작아 **Fail**된 모든 **Cell**에 대해 **Spare Cell**로의 대체가 가능 한 경우 이를 **Repairable**이라고 한다.

Wafer상태에서 각 소자를 **Test**한 후 임의의 **Row** 또는 **Column** 또는 **Cell**에서 불량이 발생했을 경 우 여분의 **Row**또는 **Column**으로 대체하여 양품으로 만들 수 있는 소자를 일컫는다.

Repeating Defect(반복결함)

Wafer에 어떤 결함이 반복적으로 나타남을 말함.

Resin Recession

기판이 가열될 때 수지 성분이 수축되어 도통홀의 각 층과 벽을 현미경으로 볼 때 나타나는 현상.

Resistor Reticle

가장 기본이 되는 모판 **Mask**로서 보통 실제 반도체 **Chip**의 10배 크기인 기본 **Mask**로 **Master Mask**를 제작하는 데 사용.

Resistation

기판의 다른 층의 회로와 일치되는 위치의 정도.

Response time

단계별 응답이 있어서 출력신호가 최종치에서 특정 범위로 들어가기까지의 시간.

Retest

System 불안이나 **Align**실수로 잘못 **Test**된 **Wafer**를 다시 **Test**하는 것.

Reticle

Mask와 동일한 의미로 쓰임.(**Stepper**에 사용되는 **Mask**) **Wafer**에 반도체 회로설계 **Pattern**을 정 착(가공)시키기 위해 사용되는 노 광용 원판(유리판)으로 한 장의 **Wafer**에 여러 번 나누어 노광한다.

Reverse Tilt

액정층에 전압을 인가해서 액정을 전장방향으로 배향시킬 때 그 배향 방향이 본래 목적하는 방향과는 역 방향의 배향방향을 말한 다.

Reverse Twist

트위스트 구조의 비틀림 방향이 우회전, 좌회전으로 규정된 것의 역으로 되어 있는 것.

RF(Radio Frequency)

고주파를 말하며, 건식 식각 공정에서 반응 **Gas**를 활성화시키는 데 이 고주파 전압을 사용하며, 고주파를 발생하는 장치를 말한 다.

RIE(Reactive Ion Etching)

건식식각의 한 종류. **Plasma etching**과 원리는 같으나 활성화된 **Ion**을 이용해서 화학적 및 물리적반응에 의해 식각하는 방법.

Ring Oscillator

Library의 지연시간을 외부조건에 관계없이 정확히 측정하기 위해 구성한 회로.

Rinse

초순수(**DI Water**)를 이용하여 **Wafer**표면의 화공약품이나 먼지등을 제거하기 위하여 행구어 주는 것.

Rise Time(상승시간)

TR의 스위칭 특성을 나타낼 때 베이스에 입력 펄스를 가하여 **Collector**에 흐르는 출력펄스 전류가 최대 진폭(최종값)의 **10%**로 되었을 때부터 **90%**로 되기까지의 시간을 말한다.

Room Temperature Test

상온 상태에서 검사하는 것.

ROR(Ras Only Refresh)

RAS가 **Low**로 되면 **Refresh**가 이루어지는 형태.

Round Cut

Wafer절단방식의 하나로 **Wafer**를 따라가며 둥글게 절단하는 것.

Routing

PCB회로를 연결하는 것.

PCB의 외형 가공하는 방법의 일종으로 **Drill**로 **PCB**의 원하는 치수를 가공하는 방법.

Row성 Fail

Device Test 결과 일정한 **X address**, 변화하는 **Y address**를 갖는 **cell**들이 연속적으로 **fail**된 경우.

R.S(Resistivity)

초순수의 수질중 정기전도성을 나타내는 용어로서 초순수중의 불순물 함유량을 나타냄.

RTI(read time inspection)

FQA Sampling검사에서 걸리는 실제시간.

RTV(Room Temperature Vulcanizing)

상온 고무화. 도포액의 경화방법의 하나로서 **25도**, 상대습도 **60%**이상 고온에서 방치하여 고화시키는 방법.

Rubbing

액정분자를 일정방향으로 배열시키기 위해 나일론이나 면등으로 폴리이미드면을 문지르는 방법.

Run Split

Run진행시 제품의 특성개선문제, 문제공정의 제어등의 목적으로 기존 공정과는 다른 공정조건 및 장비 또는 다른 작업순서를 해 당 **Run**의 일부 **Wafer**에 분리하여 적용한 다음, 이를 합쳐서 추후 공정을 진행하는 공정진행방식.

RZ(Return to Zero)

신호의 전주기 내에 **Pattern**을 **Data "1"**과 **"0"**에 따라 신호의 전주기 동안 **Pulse**가 생성되는 파형.

S

S/A(Service Area)

반도체 제조장비를 **Mainternance**할 수 있는 **Area**로 주로 장비의 구동 분위기가 설치 **1M-DRAM**의 경우 요구 청정도는 **CALSS 100**.

Salt Spray

"염수분무 시험"으로서 온도=**35도**, **5%** 염수를 분무시켜서 **Device**의 **Lead Frame**의 상태를 **Check**하는 시험.

Sawing

Wafer를 진공으로 흡착시킨 뒤 **1/1000**인치 두께의 다이아몬드 휠로 고속회전시켜 **Wafer**를 **X,Y**방향으로 절단하는 공정.

S/C(Solder Coating)

I.C의 **lead**부식장지를 위해 표면을 납으로 도금하는 공정으로 **lead**를 보호하고 완제품이 되어 조립시 효율을 증대시키기 위하여 실시한다.

Scanner

Beam line을 통과한 **Ion Beam**에 삼각자를 가해서 **Beam**진로를 변경 조정하는 방식.

Scanning Trigger Circuit

입력 파형의 진폭이 일정한 값을 넘는 시점에서 상태의 변화가 생기도록 두 증폭기의 접지측 단자를 공동으로 접속하여 **Feedbac k**시킨 멀티 바이브레이터.

Schematic

회로의 연결상태를 회로 기호로 나타낸 도면. 그 도면에서 회로의 연결상태를 **Simulator**등이 인식할 수 있는 **Text**형태의 회로연 결상태인 **Netlist**을 추출할 수 있다.

Schottky Barrier

금속과 반도체의 접촉에 의해 반도체 표면에 형성되는 에너지 장벽을 말한다.

Schottky Diode

금소과 반도체가 접촉하고 있을 때 그 접촉부의 전위장벽을 이용해서 침투성을 지니게 한 것으로, **P-N** 접합이 아닌 **Diode**.

Schottky gate fet

FET의 Gate부분에 금속, 반도체접촉의 Schottky장벽을 사용한 구조의 FET.

SCP

Gate전극을 가진 PNP구조의 정류소자.

Scramble

Device의 실제Pin과 Test입출력 핀과의 신호를 일치시키기 위해 필요한 핀의 사이의 정의.

Scratch

긁힘, 흠집.

Screening

DEBUG, BURN-IN

불량품이 들어있는 LOT에서 불량품을 걸러 내는 각종 방법을 총칭하는 것이다.

Scibe

반도체 Wafer에서 Chip 을 떼어낼 때 금속을 그어서 작은 조각들을 잘라내는 방법을 말한다.

Scibe line

Die Sawing 을 할 때 주변의 소자에 영향을 주지않고 나눌 수 있게 적당한 폭의 공간이 필요한 데 이를 지칭하는 말로 이곳에 반도체 공정을 적절히 진행하기 위한 각종의 고려가 되어 있다.

Scribing

왕복절단이라고도 하며, Wafer절단방식의 하나로 양방향으로 절단하는 방식(왼쪽에서 오른쪽으로, 오른쪽에서 왼쪽으로 절단)

Scrubber

Wafer위의 이 물질이나 거친 면을 깨끗이 하거나 고르게 하여 주는 장비.

Scum

노광 및 현상공정을 거친 후 Wafer상에 남아 있는 감광막의 찌꺼기를 말한다.

SDA(Statistical Defect Analysis)

Process가 완료된 Wafer에서 각각의 소자에 대한 Fail형태(Row, Column, Bit fail)를 통계적으로 분석하여 공정에 Feedback함으로 불량분석을 하는데 기초자료로 하는 Data.

SDRAM(Synchronous DRAM)

고속의 System Clock과 동기하여 Data를 입출력할 수 있도록 10ns내외에 Access Time을 실현한 고속의 DRAM이다.

Seal

외부적으로 공기와 수분의 접촉을 피하며 회로 및 Bonding Wire를 보호하고 외부와 완전히 차단하기 위해 밀봉하는 것을 말한다.

Seal Print

LCD에서 Seal에폭시를 유리기판에 인쇄하는 공정으로 앞유리와 뒷유리를 접착시켜 액정과 외부 공기의 차단을 함과 동시에 두 장의 유리의 간격을 유지시키는 역할을 한다.

Search Level

Die 혹은 **Lead**에 일정 속도로 캐필러리가 내려오기 시작하는 높이.

Second Bond

금선을 캐필러리의 웨이스에 의해서 **Lead Frame**위에 늘려진 **Bond**.

SECSDEV

Loopback Test를 위하여 **Simulator**에서 장비의 역할을 한다.

SECSIM(SECS Simulator)

SECS Test를 PC상에서 가능케 하는 **Simulator**.

SECSTEST

Loopback Test를 위하여 **Simulator**에서 **HOST**역할을 한다.

SECCPEC

SECS Protocol을 정리한 **Specification**으로서 각 **Vendor**가 자체적으로 제작한다.

Segment

NIXIE TUBE나 데지트론과 같이 숫자,문자를 표시하는 소자로서 숫자, 문자를 몇 개의 부분으로 나누고 그 조합에 의해서 희망하는 숫자, 문자를 표시하는 방식이 있다. 그 나누어진 숫자, 문자의 각 부분을 말한다.

Segment ON/OFF

숫자의 "8"자를 나타내는 하나하나의 문자부분을 각각 세그먼트라 한다.

SEG(Selective Epitaxial Growing)

선택적인 **Epi**성장기술로서 **Silicon**단결정이 **Oxide**위에서 성장하지 않는 특성을 활용한 에피층 성장 기법.

Selective Diffusion(선택확산)

실리콘에 불순물을 확산할 때 어떤 종류의 불순물을 실리콘 표면에 산화피막이 있으면 확산이 어렵다는 성질을 이용하여 실리콘 표면의 일부분에만 선택적으로 불순물을 확산하는 것을 말한다.

Selective Oxidation Process(선택확산법)

질화 실리콘의 막이 산소를 통과시키지 않는다는 성질을 이용하여 실리콘 표면의 필요한 부분에만 선택적으로 산화시키는 방법 이다.

Self Align

패터닝을 함에 있어서 별도의 **Mask**를 사용하지 않고 이미 증착된 물질을 이용하여 식각을 하는 방식으로 비용감소에 큰 역할을 한다.

Self bias(자기 바이어스)

바이어스 저항을 하나만 넣어도 되는 간단한 바이어스 회로.

Self Refresh

DRAM의 **Refresh**방법중의 하나로 다른 **Refresh Mode**는 **DRAM**외부의 회로에 동작되어지나, **Self Refresh** 는 **DRAM**내부의 **Refresh Time**에 의해 정해진 시간내에 자동적으로 **Refresh**가 이루어지는 형태임.

Self-Alignment

MOD구조의 **Gate**용 **AL**은 **Melting Point**가 낮으므로 **AL DEP.** 후에 높은 온도의 **Thermal Cycle**은 어렵다.그러므로 **AL DEP**전 **Source** 및 **Drain**의 **Drive-in**이 완결되어야 한다. **S/D**의 **Drive-In**후의 **Gate Define**은 **Alignment Tolerance**등을 고려할 때 **Overlap Region**이 넓을 수 밖에 없으므로 **S/D**의 **Parasitic Overlap Capacitance**및 **Minimum size**에 악영향을 미칠 수 밖에 없다.

SEM

(Semiconductor Equipment and Material Institute)

반도체 공정에서 사용되는 장비,자재 등을 연구하고 표준화하는 협회를 말한다.

Semi-Auto

장비가 **Host**의 통제를 받으면서 실제 **CST**의 **LOAD/UNLOAD**는 **Operator**에 의하여 행해진다.

Semi-Custom제품

Masker에 의해 표준화되고 준비된 **Cell**혹은 **Mask**를 **User**가 선택하여 희망하는 **IC/LSI**로 제작된 **IC**.

Semiconductor.

반도체는 도체(전기가 금속과 같이 잘 통하는 물질)와 부도체(전기가 통하지 않는 물질)의 중간물질을 말한다.

Sensor

온도를 검출하는 측온 저항계나 열전도대와 같이 직접 피측정대상에 접촉시키거나 그 가까이에 접근시켜서 사용하는 것으로 대상에서 직접 필요한 신호를 꺼내는 것을 말한다.

Sense AMP

Cell에서 선택된 **Data**가 **Data line**을 거쳐 출력단으로 전달될 때 **voltage swing**을 크게 하여 **Data line**의 **Signal**을 증폭하는 **Amplifier**.

Sequential Circuit(순서회로)

기본**Gate**인**NAND, NOR**등을 조합한 회로로서 디지털 장치의 기본회로중의 하나, **Flip-Flop, Shift Register, Counter, Memory**등이 있다.

SER(Soft Error Rate)

Memory소자에서 방사선 동위원소에 의해 발생한 **Particle**등에 의해 저장된 정보를 잃어 버리는 정도를 표시하는 척도로 **FIT**로 표시.

SET(Summary of Electrical Test)

전기적 **TEST**를 하기위한 간단한 **Information Sheet**.

Set-up

작업(검사)할 수 있는 최적조건을 만들어 주는 것. **Set-up Mode**

이온 주입하기전에 모든 조건을 만족시키기 위하여 준비하는 단계로 **Arc Energy**에 의해 **Ion Beam**등을 가동시킨 상태.

SF(Stacking Fault)

적층 결함.

SF(Spiral Flow)

나선형 유동성.

Sheath(덮개)

금속제품과 석영제품의 마찰로 인해 석영가루가 떨어지는것을 방지하기 위해 금속제품에 씌우는 석영덮개.

Shelf(선반)

Stocker내의 **Cassett**를 보관하는 선반을 말한다.

Shift Register

Register를 종속 접속해 두고 클럭펄스에 의해서 레지스터에 기억되어 있는 정보를 비트마다 차례로 다음판으로 옮겨가는(**Shift**)동작을 하는 회로이다.

Shoe Box

Carrier를 2개 담을 수 있는 상자로, **carrier**를 운반시킬 때 사용.

Shoom

Device가 갖는 특성을 **graphic**으로 표현하는 방법이며, 2개 이상의 축들을 설정하고, 각 축들에 설정하고 각 축들에 대응하는 특정 조건하에서의 **Device**의 **pass/fail**결과를 **dotting**하여 **Device**의 특성을 나타내는 데 사용.

Short Circuiting

개방되어야 할 장소가 어떤 이유로 단락되어 셀에 이상전류가 흘러 점등 불량이 일어나는 상태.

Short Repair

끊어져 있을 때 이를 증착시켜 이어주는 작업.

Shrink

설계된 **Chip**을 공정조건에 따라 일정비율로 축소시키는 작업.

SiC(Silicon Carbide)

탄화규소 재질로 된 고강도 재질을 말하며, **Wafer**의 **Tube**내 이송장치 또는 기타, 석영치공구를 대신한 치공구 제작에 쓰임.

Side Ball Bonding

수소법으로 **Wire**를 잘랐을 때 생기는 구슬을 제자리에 맞춘 다음 끝이 평탄한 압착자로 누르는 접착 방법이다.

Side Etch

식각반응시 측면(수평)으로 식각이 진행되는 형태.

Silicon

원소기호 **4**가인 비철 금속으로서 반도체 재료로 제일 많이 사용되는 물질.

Silicon Compiler

System 기능과 동작내용을 사양기술로써 입력하면 자동적으로 **master pattern**을 생성하는 **IC**설계법의 한 종류이다.

Silicon Gate

Gate에 금속대신 다 결정규소 피막을 사용한 것이며, 고속 및 고밀도 집적회로를 제조하기 위한 **MOS** 기법으로 이용됨.

Si Gate MOS

MOS FET의 **Gate**전극으로 금속대신에 다결정(**Poly**) **silicon**을 이용한 **MOS Device**.

Silicon Nitride

반도체 표면의 보호막.

SIMM(Single In Line Memory Module)

Edge connector방식에 사용.

Simulation Vector

회로 **simulation**시 각 **input pin**별로 사용되는 **input**으로서 **netlist**에 인가해주는 **cycle**단위의 신호조합.

Single Crystal

모든 부분이 한가지로 규칙적인 결정조직.

Single end

본체에서 **lead**가 모두 한 방향으로 나와 있는 것을 말한다.

Single In Line.

Lead가 한 줄로 배열되어 있는 것.

SIP(Single Inline Pkg)

Memory Module이 처음 개발될 때의 **Memory Modul**총칭이었으나, 현재는 **Pin Type**의 **Memory Module**을 의미함. **Inserting** 방식을 이용.

Site

Wafer위에 지정된 위치.

Skew

Pin으로부터 나오는 신호간에 **Timing**변화량.

Slice

Wafer와 같은 말. 반도체 재료인 **Silicon**을 얇고 둥글게 자른 판으로 그 위에 집적회로를 가공하기 위한 것.

Slicer

파형을 정형하는 회로중에서 진폭측 상의 일정한 **level**보다 위를 잘라내는 회로를 클리퍼, 아래로 잘라내는 회로를 **limitter**라 고 하는 데 두 **level**사이의 좁은 부분만을 잘라내는 조작을 **slicer**라 한다.

Slot(홈)

Carrier나 **boat**에 **Wafer**를 끼워 세울 수 있도록 되어 있는 홈을 말한다.

Sludge

수중의 고형물이 액체에서 분리되어 침전한 응집물질.

Smart Power IC

부하를 구동하기 위한 고전력 트랜지스터와 부하구동을 정밀하게 제어할 수 있는 **Control**회로 및 보호회로가 동일 칩으로 구현 된 **IC**를 말한다.

Smock(방지복)

청정한 **Line**내에 입는 작업복을 말하며 먼지를 일으키지 않으며 작업복 내의 먼지가 밖으로 나오지 못하도록 제작되어 있다.

SN(Spit Notice)

RUN Spit진행시 **Split**되는 공정의 내용이 명시되어 있으며 해당공정의 유관부서의 승인란이 표시되어 있는 양식.

SOA(Safe Operating Areas)

안전 동작 영역.

Socket Board

Jig와 같은 개념

(**TEST**할 **PKG**를 꼽을 수 있다)

SOG(Sea of Gate)

ASIC제품이 있어서 **Unit Gate**의 **Array**방식이 **Channel**의 존재없이 분포하고 있는 형태. 즉 **Metal** 배선을 위한 배선 영역없이 전 **D ie** 내에 **Unit Gate**가 바다처럼 분포하고 있다하여 명명됨.

SOG(Spin On Glass)

VLSI제조공정에서 집적도를 높이기 위해서는 금속배선이 다층화 되고 있는데 이때, 다층배선구조에서 배선간, 중간 절연막이 교 대로 반복되어 있는 고조로써 이때 배선간 중간단락이나 단선이 평탄화불량에서 발생할 수 있어 제품의 전기적인 특성이나 신뢰 도에 영향을 미치게 됨. 이때 사용되고 있는 공정중의 하나가 **SOG**공정으로 평탄화가 잘되는 **SOG**방식으로 막을 금속배선위에 씌운 후에 이것을 **400 ~500**도 에서 고체화시켜서 층간절연막으로 이용하는 방식.

SOIC(Silicon outline Integrated Circuit)

외형이 축소된 **IC**.

SOJ(Small Outline J-form Package)

Device의 옆면에서 시작하여 밑면으로 향한 "**J**"자 모양으로 구부러진 **LEAD**형태의 **PKG**로 **PCB**의 표면에 부착하여 사용 한다.

Solder Ball

회로표면이나 잉크표면에 묻은 작은 솔더의 형태.

Solder Coating

리드를 보호하고 전고성, 납땜성 및 내구성을 증대시키기 위하여 리드 **Frame**위에 납을 **Coating**하는 것이다.

Soldering (납땜)

PCB에 **I.C**를 전기적, 물리적 기능을 할 수 있도록 납땜하는 것.

Soldering Oil

Wafer Soldering Machine 사용시 섞어서 솔더 표면에 녹이 발생하는 것을 방지하고 솔더 표면의 텐션을 감소시켜 주는 역할을 한다.

Soler Preform

Die와 **Lead Frame**을 접착시키기 위한 합금의 일종.

Solder Resist

PCB표면 회로를 외부환경과 격리시키고, **Solder**가 묻어서는 않되는 곳을 보호하는 절연 물질.

Solder Side(솔더면)

한쪽만 회로가 실장되는 기판에 있어서 컴포넌트 반대면.

Sorting

Wafer를 제조공정에 투입전에 저항별로 분류시켜 주는 작업.

SOT(Small Outline Transistor)

외형이 축소된 **Transistor**.

Space Charge

전위장벽은 이온화된 도우너 및 억셉터만이 존재하고 캐리어는 존재하지 않는 부분.

Spacer

LCD의 액정이 있는 유리기판 사이에 일정한 셀 갭을 유지하기 위한 것으로 기판, 플라스틱 재질등이 있는데 요즘은 대부분 기판손상 방지를 위해서 탄성이 존재하는 플라스틱 재료를 사용하고 있다.

SPARC(Scalable Processor Architecture)

SUN MICRO사가 개발한 **32 Bit RISC Processor**.

Speed-Up Capacitor

TR의 **Inverter**회로에서 베이스저항과 병렬로 접속되어 있는 콘덴서를 **Speed-Up**콘덴서라고 부른다.

Spider bonding

Wireless본딩의 일종으로 금속의 와이어 대신에 거미줄과 같은 **Pattern**이 붙은 알루미늄을 써서 **Wafer**상의 전극부분과 외부 리이드를 접속하는 것이다.

Spike

Silicon과 금속을 접촉저항을 감소시키기 위해 열처리할 때 **Contact**부위에 생기는 뿔족하게 들어가는 불량.

Spindle Motor

Blade를 장착하여 **Wafer**절단에 사용되는 것으로서, 간축으로 이루어진 전동기. 이 전동기의 특징은 **Air Bearing**을 사용하여 **30, 000RPM**속도로 고속 회전함.

SPLC(Stocker PLC)

Stocker내의 부속기기 및 **Stocker**의 동작을 기억된 **Program**에 따라서 순차적으로 실행한다.

Split

Normal RUN을 분리하여 공정을 진행.

Split Word line

SRAM Cell Layout Design시 대칭적인 구조를 유지하며 **Asymmetry**효과를 최소화하기 위한 방법으로 아래위에 각각 하나씩의 **Word Line**을 사용한다.

Sputtering

고전압에 의해 이온화된 **Argon Gas**를 사용하여 **Target**으로부터 금속입자를 떼어내어 금속박막을 **Wafer**에 입히는 방법.

Square Out

Wafer절단방식의 하나로, **Wafer**를 따라서 사각으로 전달하는 것.

S-RAM(Static RAM)

Dynamic RAM에 비해 소비전력이 적고 주기적으로 재충전을 해주지 않아도 기억이 유지됨. 전원이 끊어지면 기억했던 내용이 없 어짐.

SSI(Small Scale Integration)

10개 이하 정도의 논리**Gate**로 구성된 집적회로.

Stack 용법.

기억소장에서 콘덴서를 만드는 **FAB**공정기술중의 하나로 **Silicon**기판을 기준으로 위로 콘덴서가 형성 되는 기술임.

Standard Cell

Standard Cell 미리 설계되어 표준화되어 있는 기능 **Cell**을 조합하여 배치, 배선에 의해 **Chip**전체를 설계하는 **semi-custom LSI** 의 한 종류로써 **Gate Array**보다 **custom**색이 강하다.

Standby

극히 단시간 내에 안정된 동작을 재개할 수 있는 장치의 상태.

Standby Current Drain

출력의 부하나 기준 전압의 부하가 없는 경우에 제어 소자에 흘러 들어가는 전원 전류.

Static Hold

기억소자의 비동작시 전원전압을 **2V**까지 낮추어 전력 소모가 적은 상태에서 저장된 **Data**를 분실하지 않고 유지하는 기능을 말하 며 **Data Retention**이라 한다.

Static memory

MOS FET의 게이트 용량에 총집합 전압으로 기억을 유지하는 방식을 말한다.

STC(Stocker Controller)

Bay내에서의 **Cassette**의 반송, 다른 **Bay**에로의 **Cassette**의 반송 및 다른 **Bay**로부터의 **Cassette**의 반입을 제어하며 각 **Bay**마다 설치한다.

STD(Standard)

표준

Stem

수지 몰드가 아닌 보통의 **TR**은 금속과 유리로 만들어진 케이스에 들어있는데 이 금속 케이스의 토대가 되는 부분, 즉 리이드가 나와 있는 부분을 스템 또는 **Header**라고 한다.

Stepper

정렬 노광기의 일종으로 **WF 1**매에 몇 개의 **Chip**단위로 전후 좌우로 이동하면서 각 단위 **Chip**마다 정렬 및 노광을 실시하는 장비 . 따라서 **WF 1**매를 한번에 정렬 노광하는 장비보다 정교한 현상화가 가능하다.

STN(Super-Twisted Nematic액정)

WF와 **PC**의 표시장치로 사용되고 있다.

Storage Time (축적시간)

스위치용 **TR**의 스위치 속도를 나타내는 것으로 **ON**상태로 되었을 때의 시간의 지연을 말한다.

Stress

Wafer의 표면 특정부위에 가해지는 압력이나 힘을 말한다.

Stringer

식각공정에서 **Film**층벽에 **Etch**가 안되고 남아있는 **Residue**성 물질.

Strip

Wafer에 입혀진 **P.R**이나 질화막등을 벗겨내는 것을 말하며 통상, 식각 완료후 감광액을 제거하는 작업을 말한다.

Strobe

Device의 출력에서 원하는 전압이 나오는가를 비교하기 위하여 **Device**출력을 **Latch**하는 **Timing**.

Sub-Mask

부원판 **Mask**로서 **Master Mask**를 보존하기 위하여 또는 다량의 작업용 **Mask**를 복사하기 위하여 일단 여러장 복사하여 제조된 **mask**.

Substrate

반도체 재료 박판(기판)을 말하며, 일반적으로 최초 공정이전의 **Wafer**를 말한다.

Substrate-Concentration

Wafer내의 고유 불순물 농도, 보통 **Bulk**농도라 함.

Subtrative Process

도체, 유전체, 저항체등의 막들을 요구되는 순서에 따라 모두 전면적으로 형성시키고 최상부 위층부터 **etching**에 의해 불필요한 부분을 제거하면서 회로를 구성하는 기법.

Supported Hole(지지홀)

기판에 있어서 내부가 도금되어 있는 홀.

Surface Agent

표면장력을 감소시켜 잘 적셔지도록 하며 유화 분산등의 목적으로 사용되는 물질.

Surface Concentration

표면농도. **Wafer**표면상에서의 주어진 불순물의 농도를 나타냄.

Surface Passivation(표면 안정화)

일반적으로 **PN**접합표면은 습기나 불순물에 대해서 매우 민감하며 극히 미량의 수분이 묻어 있어도 문제가 되므로 외기와 완전히 차단될 필요가 있다. 이와 같이 민감한 성질을 활성(**ACTIVE**)이라고 하는 데 이 활성인 **PN**접합표면을 습기나 불순물에 대해 둔감 하게 즉 불활성(**PASSIVE**)으로 만들어 주는 방법이 고안되었을 때 이것을 표면 안정화 또는 표면 불활성화라고 한다.

Surface Potential

표면 전위. **Wafer**표면에 걸리는 전압의 크기를 말한다.

Surge Current

되풀이되는 것이 아니고 한번만 순간적으로 크게 흐르는 전류.

Synchronization(동기화)

하나의 회선을 사용하여 비트를 직렬로 전송하는 일반적인 전송이라든가 몇 개의 회선을 사용하여 비트를 병렬로 전송하는 컴퓨터 통신에서 송신측과 수신측의 **Timing**을 맞추는 것.

SWMI(Side Wall Masked Isolation)

LOCOS Isolation을 시키는 데 수반되는 **Oxide En-croachment** 즉, **bird's Beak**를 줄이기 위한 신 기술.

T

TAB(Tape Automated Bonding)

Tap에 **Die**를 자동을 붙인 것.

TAB

TR이나 **IC**의 케이스에서 가로로 **1mm**정도의 돌기가 나와 있는 것이 있는데 이 부분을 **TAB** 이라 한다.

Taping

Wafer를 **Tape**에 접착하는 행위(완전절단 하기 위해 하는 것임).

TCA Oxidation

산화공정시 **TCA**를 첨가하여 산화막의 품질을 향상시키는 방법.

TCP(Tape Carrier Package)

IC Chip을 **Tape Film**에 접속할 때 수지로써 밀봉하는 **TAB(Tape automated bonding)**기술을 활용한 **Package**.

TEG(Test Element Group)

집적회로의 **Bread Board**의 검토용으로 만든 **TR, Diode**, 저항따위를 말함.

Tenting

도통홀의 위를 막거나 회로주변을 **Resist**로 덮는 기판제조 공법.

TEOS(Tetra Ethyl Ortho Silicate)

산화막 증착시 **Si Source**로 사용하는 물질.

Terminal

Ion주입 설비의 고전압이 걸리는 부분으로 **Source**쪽의 안전보호 **Cover**로 된 지역.

Test Head

Tester와 **Handler**또는 **Prober Station**이 연결되는 중간장치.

Test Mode

고집적 메모리 **Device**를 **Test**할 때 **Test** 시간을 줄이기 위해 동시에 여러 개의 메모리 번지를 **Access**할 수 있도록 고안된 회로 를 **Device** 내부에 장착하고, **Test**시 이 회로를 사용하여 **Test Time** 을 줄일 수 있도록 한 **Test**방법으로 **multi-bit test**와 동일한 의미임.

Test Pattern

개발제품의 양/ 불량을 판별하기 위하여 제작된 여러 종류의 도면이나 **Wafer**상의 **Pattern**.

Tester

제품의 양품과 불량을 판별하기 위해 사용되는 **Computer**가 내장된 전기특성 검사장비.

Test Option

Computer의 기본구조에 검사기능을 추가시키는 장치.

Test Plan

제품의 검사방법, 조건, 검사, **Limit**등의 기록된 내용서로 제품설계서에 제시.

Test Program

자동 측정기를 사용하여 **Wafer**의 전기적 특성을 측정하는 **Program**으로 제품설계**SPEC**에 맞게 **Program** 되어 있는 **Software**.

Test Schematic(Test Circuit)

Jig의 회로를 그린 것.

Test System

반도체 소자에 전기적 신호를 인가하여 소자로부터 전기적 신호를 받아서 소자의 전기적 정상 동작 및 오류 동작을 판단하는 장 비.

Test Vector

제품 **Test**를 위해 **Simulation**결과를 **Test**장비에서 사용할 수 있도록 변환된 **Signal Set**이다.

Test vehicle

소자 및 공정변수 추출 그리고 단위회로의 설계검증을 위해 설계된 **Mask**.

Test 장비

Test Program을 이용하여 각 제품의 **Pass/Fail**구분 및 전기적 특성 검사를 수행하는 장비.

Testability

Chip Level 회로 설계후 전체 회로도에서 어떤 특정 **Block**혹은 **Sub Block**의 회로를 부분적으로 직접 **Test**하게끔 회로 설계를 하 는 방식.

TF-EL Display (Thin-Film Electrolumines- cent Displays)

양 전극사이에 박막형태의 전계 발광물질을 넣어 전계가 가하여질 때, 발광하는 현상을 이용하여 표시하는 소자.

TFIC(Thin Film Integrated Circuit)

박막으로 만들어 집적화한 회로를 말하며 5미크론 이하까지가 해당한다. 그이상의 것을 후막이라고 한다.

TFT(Thin Film Transistor)

절연성 기체에 증착등으로 반도체 박막을 형성하여 능동소자를 만든 것으로 일반적으로 **FET**이다.

TFT Array

Matrix형태로 배선되어진 **TFT**을 가지는 화소집단.

Thermal Addressing

열 광학효과를 이용한 액장표시방식을 말한다.

Thermo-Optic Effect(열광적 효과)

액정에 온도변화를 주는 것에 따라 그 광학적 성질이 다르게 변화되는 효과를 말한다. 온도변화는 액정 내의 분자의 배열에 영향을 주게됨으로서 광학적인 성질을 변화시킨다.

Thermotropic LC

어떤 온도범위에서 액정사이 변하는 액정으로 표시소자에 관계있는 것으로 일반적으로 액정을 의미함.

Thermal Relief(열방출)

솔더링하는 동안에 발생하는 블리스터나 휨을 방지하기 위하여 그물모양으로 회로가 형성된 것.

Thermal Shock Test(열충격시험)

급격한 온도 변화에 대해 **TR, Diode, IC**등이 충분히 견딜수 있는가를 확인하는 시험이다.

Thermo Electric Effect(열전효과)

열현상과 전기현상의 상호관계를 갖는 효과로서 제어백 효과, 펠티어 효과, 톰슨 효과의 세가지가 있다.

Thick Film IC(후막 집적회로)

절연물의 기판위에 얇은 막모양의 회로소자를 만들고 그들을 서로 배선하여 하나의 회로기능을 갖게 한 것을 막 집적회로라고 하며 이중 막의 두께가 **5**미크론 정도보다 두꺼운 것을 후막 집적회로라고 한다.

Thin Film

Thick Film과는 달리 진공증착등의 방법으로 기판위에 얇은 두께의 박판(두께 약 **5 micro**이하)을 형성하는 것으로 저항콘덴서등의 소자나 혼선 집적회로를 형성하기 위한 것.

3D Circuit Device

평면적인 **LSI**를 입체적으로 적층, 중첩시킨 구조의 초고집적 전자**DEVICE**로써 최하층에 먼저 **LSI**을 만들고 그 상부에 절연층을 두고 그 위에 **Silicon**단결정을 성장시키며 그 결정층에 다음의 **LSI**를 형성한다. 이러한 행위를 반복하여 각 층간의 배선을 연결 하면 **3**차원 회로가 구성된다.

Threshold Level

Input에 인가되는 전위의 한계로서 **Device**로 하여금 적절한 상태를 가하게끔 한다.

Thyristor (다이리스터)

PN접합을 **3**개 이상 내장하고 주 전류전압특성의 적어도 하나의 상한에 있어서 **ON/OFF**의 **2**개 상태를 가지며 **OFF**상태에서 **ON**상태로의 전환 또는 그 반대로 전환을 할 수 있는 반도체 소자를 말한다.

Tie bar

PKG Lead끝부분을 연결하는 가로축 **Bar**.

Tilt

러빙등으로 배향처리 한 경우, 액정분자의 장축 방향은 전극면과 같게 평행하게 되지만 엄밀하게는 약간 경사지게 배향되어 있다. 모니터에서는 평탄하여야 할 하면이 기울어져 있는 것을 말한다.

Tilt Angle

액정의 표면이나 용기벽에서 계면 법선 방향과 액정 방향 벡터가 이루는 각.

Timing

Device를 동작시키는데 필요한 **Control Clock, Address, Data**등의 외부 파형들의 조합으로서 타이밍의 종류에 따라 특정한 모드 의 동작이 이루어짐.

Tin Plating

Sn을 전기를 이용해서 **Frame**에 도금을 함.

Tip

직접 **Chip**에 닿는 부분으로 주사바늘 끝에 끼워진 테프론 호스.

TiSiX (Titanium Silicide)

Titanium과 **silicon**이 결합하여 생성되는 물질로서 **contact** 저항을 낮추기 위해 사용된다.

Tj(junction Temperature)

접합온도.

TN LCD (Twisted Nematic Liquid Crystal Display)

90도 비틀어진 네마틱 액정을 사용하는 **LCD**.

TN-FE LCD (Twisted Nematic Filed Effect LCD)

액정분자의 장축을 상하 기관사이에서 **90**도 연속적으로 **Twist**배열시켜 전기장을 가하였을 경우 빛의 편광상태에 따른 투과도가 다름을 이용한 **LCD**.

TNI. Clearing Point

액정자료가 액체와 고체의 중간적인 상태에서 액체로 변화하고 투명하게 되는 온도.

Tooling Hole

기관의 제작이나 결합에 이용되는 홀.

Topology (위상)

Wafer표면의 높고 낮은 층의 상태를 말한다.

TQFP(Thin Quad Flat Package)

두께가 **1.0 mm** 또는 **1.4mm**이하인 **QFP**제품.

TR(Transformer)

전기를 고압에서 저압으로 낮추는 변압기.

Transfer

LCD에서 앞유리와 뒷유리를 전기적으로 도통시켜 주는 물질을 의미하고, 반도체 공정중에 **Carrier** 혹은 **Boat**에 담긴 **Wafer**를 다 른 **Carrier**나 **Boat**로 옮겨 담을 때 사용하는 기구를 부르는 말.

Transfer Collect

Tape에 부착된 **Die**를 흡착시켜서 포켓마져 이송시키는 기구 테프론.

Transfer Print

Ni-beads를 유리기관에 인쇄하는 공정.

Transfer System

반송장치. **RUN**이 담긴 **SHOE BOX**를 이동시키는 장비로서 공정이 끝난 **Wafer**를 다음 공정으로 이동

시킬 때 사용.

Transition time

Device에 사용되는 파형들이 특정 **level**에서 반대 **level**로 전환시 걸리는 시간으로 **A.C** 특성 등을 측정후 측정치를 보정하는 데 사용.

Transistor

Emiter와 **Collector**사이 **base**에 불순물의 농도에 차이를 두어 **base**속에서 **carrier**를 가속시키는 존계를 두어 고주파 특성이 좋 아지게 만든 반도체 소자.

Transition

입자가 어떤 에너지 상태에서 다른 에너지상태를 양자 역학적으로 이동해 가는 것.

Trap

carrier를 일시적으로 잡아두는 금지대속 에너지 준위.

Trench 용법.

기억소자에서 콘덴서를 만드는 **FAB**공정기술중의 하나로 좁은 면적에 용량을 극대화하기 위하여, 도랑처럼 **Silicon**기판을 아래 로 파서 표면적을 확대하여 콘덴서를 만드는 방법.

Triangular Voltage Sweep Method

Gate에 삼각형모양의 전압을 인가하여 온도상승상태에서 **mobile ion**이 **oxide**내에서 계면으로 이동 되는 것에 의한 **current**에 의 해 **gattte bias**에 따른 전류 곡선모양이 변화하는 것으로 **oxide** 오염 상태를 **check**하는 방법.

Triger

어떤 동작을 하는 능력이 있는 회로가 어떤 안정상태에 있을 때 이 회로를 동작시키기 위해 가해주는 자극펄스.

Trim/Form

Package의 각각의 **lead**를 분리하고 **90도** 굽혀 **I.C**원형을 만드는 공정.

Tristate output

출력단의 전압신호**Level**의 **High**나 **Low**상태가 아닌 **High Impedance** 상태.

TSOP(Thin Small Outline Package)

Package두께가 **1.0mm**이하인 **SOP(SOIC)**반도체 제품으로 **P-DIP**에 비하여 **PACKAGE**가 얇고 크기도 작아져 소형의 **SYSTEM**에 널리 사 용됨.

TS(Tensile Strength)

장력으로 끊어지는 정도를 표시.

TTL(Transistor Transistor Logic)

논리회로의 한 종류. 트랜지스터와 트랜지스터를 직접 연결하여 구성하는 논리회로 방식.

TTV(Total Thickness Variation)

최대 편차 두께(**wafer**)

Tunneling

역**Bisas**된 **PN**접합면이나, 얇은 **Oxide** 절연체 위에 강한 전계에 의해서 **Energy Band Gap**을

Electron이나 **Hole**이 통과되는 현상을 말한다.

TV RUN

Test Vehicle을 사용하여 공정이 진행된 **Wafer**.

Tweezer

Wafer를 잡는 집게(통상 **Vacumn Tweezer**를 많이 사용함)

Twist angle

배향처리된 액정 **Cell**의 한쪽 면 표면상의 액정분자의 다이렉터와 대응면상의 액정분자의 다이렉터와 이루는 각.

U

UART(Universal Asynchronous Receiver & Transmitter)

범용비동기송수신용 **LSI**에 비동기전송의 **Interface**로 사용.

UJT(Unjunction TR)

Junction이 1개이고 **Base**가 2개 있는 **TR**이다.

Ultra Filter

초순수2차 설비중의 하나로 초순수중의 **Particle**을 제거하는 고성능 **Filter**.

Ultrasonic Cleaner

높은 주파수로서 강한 진동을 가진 음의 진도(초음파)을 이용하여 세정하는 장비로서 고정밀 부품세정에 이용됨.

Under Coating

LCD에서 기판 유리에 포함되어 있는 불순물등이 액정과 반응하지 못하도록 유리 표면에 **SiO2**을 형성하는 방법. 소다 유리기판을 사용할 경우 전기적으로 유해한 소다의 기판 확산을 억제하기 위해 기판 내면에 **SiO2**막등의 무기물 피막을 피착하는 공정을 말 한다. 반도체의 식각 공정시 **MASK LAYER** 밑에서 발생하는 식각 현상.

Undershoot Noise

정상적인 전압 **0V**이 아닌 불규칙적으로 발생하는 **NOISE**로서, **0V**이하의 크기와 수**NS**이상의 **Pulse** 폭을 가지고 있는 것으로 시스템 의 오동작 및 **Negative Latch-up**을 유발시킬 수 있다.

Uni-Biopolar IC

바이폴라 집적회로의 일종으로 구성요소로서 유니-바이폴라 **TR**을 가지고 있는 것.

Unipolar

주반송자 한가지에 의해서만 전류흐름이 형성되는 **Transistor**를 말하며 **FET**가 있음.

Unloader

작업종료된 **Frame**을 빈 **Magazine**에 한 **Frame**씩 넣어 이동보관이 용이하게 하는 기강부.

Unloading

Loading이 되어 있는 **Wafer**를 **Tweezer**나 **Transfer Arm**을 사용하여 **CARRIER**나 **BOAT**에 한 장씩 담는 것을 말한다.

UPS(Uninterruptable Power Supply)

무정전 전력공급 시스템.

UV(Ultra Violet, 자외선)

적외선에 비해 파장이 짧고 **Energy**가 크며 화학적 특성을 갖는다.

V

Vacumn Tube

Transistor라는 반도체 장치가 발명되기 이전에 쓰이던 전구모양의 전자부품으로 증폭, 검파, 정류, 스위치 등의 기본 전자기능을 하는 것으로, 외형이 크고 전력소모가 많아 현재는 **Transistor**나 **IC**로 거의 전부 대체되어 사용되지 않고 있음.

Vacuum Tweezer

Chip을 **Carrier**에 옮길 때 사용하는 진공집게.

Valence Band (가전자대)

공유결합을 이루고 있는 전자가 수용되어 있는 전자가 꽉 들어차 있는 에너지대인 층만대를 가전자대라고 한다.

Valence Electron(가전자)

원자핵과의 결합이 약하여 약간의 에너지만으로도 떼어 놓을 수 있는 최외각 전자.

Vane Damper

공조기의 **Fan**에 내장되어 있으며 공조기의 풍량을 조절한다.

Varistor

인가전압의 변화에 따라서 저항값이 비 직선적으로 바뀌는 소자.

Vcc (Supply Voltage)

제품공급 전압. 반도체 **Device**가 동작하는 데 필요한 전압과 전류를 **Device**내에 공급하여 주기 위하여 **Device**에 인가해 주는 전압.

Vector

회로 **Simulation**기 각 **Input Pin**별로 사용되는 **Input**으로서 **Netlist**에 인가해 주는 **Cycle**단위의 신호조합.

Vector Address

Pattern Memory안에 어떤 지정된 **Pattern**의 **Address**.

Verical TR(수직형 트랜지스터)

래터럴(가로방향)트랜지스터에 대비되는 말로 보통의 바이폴라 트랜지스터를 말함. 수직방향의 베이스 부분이 주로 트랜지스터의 능동영역이 된다.

VFD(Vacumn Fluorescent Display)

여러 개의 음극 필라멘트와 매트릭스 형태의 형광물질을 입힌 발관소자. 대형화가 관건인 소자임.

VIA

두 **Metal**을 연결시키는 **Insulating filed**내의 **Contact**영역.

VIA not OPEN

배선을 목적으로 서로 다른 두개 이상의 **METAL LAYER**간의 연결 **PROCESS**시 **VIA CONTACT**공정 성 **UNDER ETCH** 또는 **Metal Layer**간의 연결이 되지 않거나 **Contact**저항이 **SPEC**보다 높은 상태.

Via hole

PCB에서 외부 회로와 내부 또는 앞면과 뒷면의 회로를 연결시키는 작업.

Viewing Angle

디스플레이의 가시 가능한 각으로 디스플레이 표면의 수직한 면에 대한 각도로 표시한다. 이 각이 클수록 우수한 **LCD**이다.

Virtual Cieaing Point(가상 등명성)

어떤 화합물이 단독을 안정한 액정상이나 준 안정한 액정상을 관찰할 수 없을 때에는 화학구조가 비슷한 물질과 혼합계서성분비 에 따르는 상전이 온도를 외삽법에 의해 등명점을 추정한 값을 가상 등명성이라 한다.

Viscosity

점선의 정도를 표시하는 물리점수로서 물질의 정도, 감광액의 점도는 감광액 도포시 도포되는 두께를 결정해 주는 중요 요소이다. 동일 조건하에서는 점도가 높을수록 두께가 두꺼움.

Visual inspection

선별된 **Chip** 또는 제품출하전 **Device**의 외관을 육안으로 검사하는 공정.

Void

RTN경화제 내부에 소량의 공기가 함유되어 나타나는 현상(기포). **FAB**공정에서 층간 절연막이 침적될 때 좁은 **SPACE**지역에는 막 이 침적되지 못하고 비어있는 공간을 말한다.

Vss

Device를 구동하기 위해 **Device**에 인가해 주는 **Vcc**나 **Clock**등의 외부전압 혹은 **Device**내부에서 발생하는 모든 **Signal**에 기준이 되는 기준전위.

VTD Depletion TR의 VTH.

VTH(Threshold Voltage)

문턱전압.

VTN

Natural TR의 **VTH**.

VTPC(Vertical Probe Card)

Wafer Test시 **Device**의 **PAD**에 접촉되는 **Needle Probe Card**에 수직 방향으로 심은 **Probe Card**로 **Needle**을 고밀도로 심을 수 있다 .

W

Wafer

규소박판으로 규소(**Si**)를 고순도로 정제하여 결정시킨 후 얇게 잘라낸 것으로 반도체 소자를 만드는 데 사용함.

Wafer Carrier

Wafer를 보관, 운반 또는 공정을 진행하기 위한 도구.

Wafer ID

RUN 및 **Wafer**식별을 위해 각 **Wafer**에 대한 표시.

Wafer Sort

Wafer Level에서의 **GO/NO-GO Test**라고 말할 수 있으며, 이 **Test**시 **Wafer Probe**와 **Prober Card**가 있어야 **Test**가 가능하다.

Wafer Storage Box (Wafer보관상자)

Wafer를 **Carrier**에 담아 보관하거나 옮길 때 사용하는 **Box**.

Wave Form

정확하게 **Wafer**내에 **Ion Beam**이 선택되어 있는가를 확인하기 위하여 모니터상의 좌표축이 나타내는 방법.

Wave Soldering

부품삽입이후 솔더링하는 일반적인 방법.

Wedge Bonding

열압착에 의한 본딩 방식의 하나.

Well

CMOS Technology에서 **N-Channel Transistor**와 **P-Channel Transistor**를 형성하기 위하여 **Si-Substrate**에 불순물을 주입하여 만든 **N** 및 **P-Channel Transistor**의 **substrate**.

Wet Etch

습식식각. 용액성 화학 물질을 사용하는 식각.

Wet Sink

Wafer를 세정하거나 습식식각할 때 쓰이는 장비.

Wetting

휴징이나 핫솔더 공정에서 솔더가 녹는 과정이 미처리된 부분.

WI(Wire Inspection)

Bond 검사공정.

Wide Bit

8bit이상의 **I/O**로 구성되어 **Byte**혹은 **Word** 단위로 **Dar**를 입출력할 수 있도록 한 **Device**의 입출력 구조.

WIP(Work In Process)

공정부분품(재공제조)

Wire Bonder

TR이나 **IC**를 제조할때 외부로 끌어내는 리이드와 칩사이에는 통상 열압착이나 초음파에 의한 **Wire Bonding**으로 접속하는데 이 와이어 본딩을 하는 장치를 **Wire Bonder**라고 한다.

Wireless Bonding

와이어를 없애거나 다른 구조를 바꾸려고 하는 것.

Work Function

어떤 물질에서 전자가 튀어나가기 위해서 그 표면을 뛰어넘지않으면 안되는 전위장벽의 높이를 나타낸 것.

Work Holder

Lead Frame을 **Loader Magazine**으로부터 열전판으로 이송시켜 **Die**접착한 다음 **Unloading Magazine**으로 이송 삽입하는 장치.

Work station

WF을 작업하는 작업대.

Worm

(1회기록 다중판독 디스크: **Write once Read many**)

사용자가 정보를 한번만 기록할 수 있고 그 정보를 지우거나 변경할 수 없고 다시 읽을 수 있다.

Write

EPROM 혹은 **EEPROM**에서 **Floating Gate**에 주입된 전자의 존재 유무 상태에 따라 해당 **Bit**의 저장상태를 구분하는 상태.

WSI(Wafer Scale Integration)

Wafer상의 **Chip**을 자르거나 개별로 사용하지 않고 **Wafer**전체로서 사용하여 고집적도를 이루려는 방법.

WSTS(World Semiconductor Trade Statistics)

세계 반도체 무역 통계. 반도체 업체들이 모여 시장 전망 규모등을 예측한다.

X

Xylene or Way Coat

현상시키는 용액으로서 감광액(**resist**)을 녹이는 성질이 있음.

Y

Yield

반도체 제조공정에 있어서의 양품률을 말하며 투입된 **Wafer**수에 대하여 완성양품**Wafer**수의 비율을 나타내는 공정수율과 **1 Wafer** 당 **Chip**수에 대해 **Wafer Test**를 통해 남아 있는 양품수의 비율을 나타내는 **Chip**수율등이 있다.

Z

Zenor breakdown

PN접합 **Diode**의 역방향 전류는 어떤 일정한 값이상의 역전압을 가하면 제너 효과에 의해 갑자기 증가하며 동작저항이 거의 **0**으로 된다. 이 현상을 제너 항복이라 하며 항복이 일어나는 전압을 제너 전압이라고 한다.

Zenor 현상.

PN접합에서 **Diode**의 역방향 전압을 크게 하면 전압은 극히 조금 증가하며, 어떤 전압이상 커지면 갑자기 역방향 전류가 증가하는 현상을 말한다. 반도체에 강한 전계가 가해지면 결정원자에 속박되어 있는 가전자가 전계의 작용으로 속박을 벗어나서 튀어나 간다. 즉, 가전자내에서 금지대를 뛰어 넘어서 전도대로 끌어 올려진다. 이렇게 하여 전도전자가 증가하고 전류가 증가한다.

Zero ohm resistor

SIMM의 **PD Pin** 연결시 사용되는 **Chip Connector**로 일반적으로 저항 성분이 없기 때문에 **ZERO OHM RESISTOR**라 한다.

ZIP(Zigzag In-line Package)

Package Type의 한 종류로서 **Package**한쪽 측면에만 **Lead**가 **Zigzag**형태로 있어 **Device**를 옆면으로 세워 사용할 수 있으므로 공간 절약의 잇점이 있다.

Zone AHU(Zone Air Handing Unit)

지역 공조기라 칭하며 **FAB**에서 **Return**된 공기를 외기와 혼합시켜 처리하여 **FAB**의 환경 **Air**를 순환시킨다.